



등록특허 10-2180974



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2020년11월19일
 (11) 등록번호 10-2180974
 (24) 등록일자 2020년11월13일

- (51) 국제특허분류(Int. Cl.)
G21H 1/06 (2006.01)
- (52) CPC특허분류
G21H 1/06 (2013.01)
- (21) 출원번호 10-2019-0039249
- (22) 출원일자 2019년04월03일
 심사청구일자 2019년04월03일
- (65) 공개번호 10-2020-0117308
- (43) 공개일자 2020년10월14일
- (56) 선호기술조사문현
 KR1020090032533 A*
 KR1020180048163 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 한국원자력연구원
 대전광역시 유성구 대덕대로989번길 111(덕진동)
- (72) 발명자
 이창화
 세종특별자치시 남세종로 301, 502동 1401호 (소
 담동, 새샘마을5단지)
- 이성재
 대전광역시 유성구 관평1로 12 (관평동, 대덕테크
 노밸리7단지아파트)
 (뒷면에 계속)
- (74) 대리인
 제일특허법인(유)

전체 청구항 수 : 총 14 항

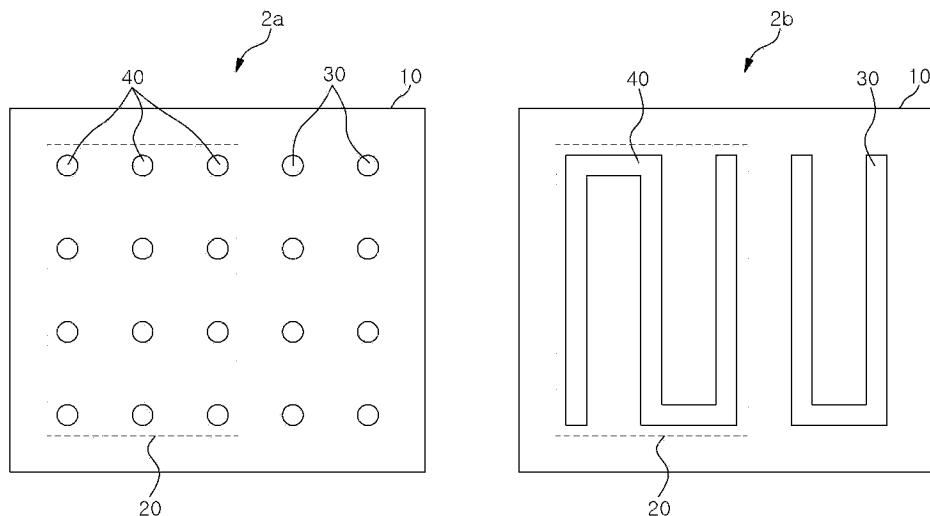
심사관 : 윤연숙

(54) 발명의 명칭 베타 전지 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 베타 전지는, 제1 타입의 기판과, 상기 기판의 적어도 일부에 형성된 제2 타입의 웰 (well)과, 상기 기판의 다른 일부에 망사성동위원소로 형성된 제1 영역과, 상기 웰에 상기 망사성동위원소로 형성된 제2 영역과, 상기 제1 영역의 상부에 형성된 제1 전극과, 상기 제2 영역의 상부에 형성된 제2 전극을 포함할 수 있다.

그림 도



(72) 발명자

윤달성

대전광역시 유성구 관평1로 12, 710동 101호 (관평동, 대덕테크노밸리7단지아파트)

장준혁

세종특별자치시 도움1로 105, 526동 701호 (종촌동, 가재마을 5단지)

김가영

대전광역시 유성구 배울1로 119 (용산동, 대덕테크노밸리12단지아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711082491
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원자력기술개발사업(R&D)
연구과제명	파이로 타당성 연구 및 전해회수공정 핵심기술 개발
기여율	1/1
과제수행기관명	한국원자력연구원
연구기간	2019.01.01 ~ 2019.12.31

평세서

청구범위

청구항 1

제1 타입의 기판과,

상기 기판의 적어도 일부에 형성된 제2 타입의 웰(well)과,

상기 기판의 다른 일부에 위치하고, 방사성동위원소로 형성된 제1 영역과,

상기 웰 내에 위치하고, 상기 방사성동위원소로 형성된 제2 영역과,

상기 제1 영역의 상부에 형성되고, 상기 제1 영역의 상기 방사성동위원소와 전기적으로 연결된 제1 전극과,

상기 제2 영역의 상부에 형성되고, 상기 제2 영역의 상기 방사성동위원소와 전기적으로 연결된 제2 전극을 포함하는

베타 전지.

청구항 2

제1항에 있어서,

상기 제1 영역 또는 상기 제2 영역은,

상기 방사성동위원소가 충진되어 소정의 간격으로 위치된 적어도 하나의 홀로 형성되는

베타 전지.

청구항 3

제1항에 있어서,

상기 제1 영역 또는 상기 제2 영역은,

상기 방사성동위원소가 충진된 적어도 하나의 트렌치(trench)로 형성되는

베타 전지.

청구항 4

제1항에 있어서,

상기 제1 타입은 n 타입이고,

상기 제2 타입은 p 타입인

베타 전지.

청구항 5

제1항에 있어서,

상기 방사성동위원소는,

Ni-63, H-3 및 Pm-147 중 하나 이상을 포함하는

베타 전지.

청구항 6

제1항에 있어서,

상기 제1 영역은,

상기 방사성동위원소와 상기 기판 사이에 형성된 시드층 또는 측매입자층을 더 포함하고,

상기 제2 영역은,

상기 방사성동위원소와, 상기 웰 사이에 형성된 시드층 또는 측매입자층을 더 포함하는

베타 전지.

청구항 7

제1 타입의 실리콘 기판의 적어도 일부에 제2 타입의 웰(well)을 형성하는 단계와,

상기 웰의 적어도 일부를 제거하여 제1 영역을 형성하고, 상기 제1 타입의 실리콘 기판 중에서 상기 웰이 형성되지 않은 적어도 일부를 제거하여 제2 영역을 형성하는 단계와,

상기 제1 영역과 상기 제2 영역을 방사성동위원소로 도금하는 단계와,

상기 웰과 상기 제1 영역의 상단에 위치되어 상기 웰과 상기 제1 영역을 마스킹(masking)하는 제1 전극을 형성하고, 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역의 상단에 위치되어 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역을 마스킹하는 제2 전극을 형성하는 단계를 포함하는

베타 전지 제조 방법.

청구항 8

제7항에 있어서,

상기 도금하는 단계는,

상기 제1 영역에서 상기 웰과 접하는 적어도 일부에 시드층 또는 측매입자층을 형성하고, 상기 제2 영역에서 상기 기판과 접하는 적어도 일부에 시드층 또는 측매입자층을 형성하는 단계와,

상기 제1 영역과 상기 제2 영역 각각에 Ni-63, H-3 및 Pm-147 중 하나 이상을 포함하는 방사성동위원소 도금액을 채워 넣어 상기 방사성동위원소로 충진하는 단계를 포함하는

베타 전지 제조 방법.

청구항 9

제8항에 있어서,

상기 방사성동위원소는 Ni-63이고,

상기 Ni-63 도금액은,

Ni-62에 중성자를 조사하여 Ni-63을 제조하고, 상기 제조된 Ni-63을 염소화하여 $^{62}\text{NiCl}_2$ 를 제조한 후 상기 제조된 $^{62}\text{NiCl}_2$ 에 중성자를 조사하는 것에 기초하여 생성되는 $^{63}\text{NiCl}_2$ 를 포함하는

베타 전지 제조 방법.

청구항 10

제9항에 있어서,

상기 Ni-63 도금액은,

pH 조절제, pH 안정제, 유기첨가제 중 적어도 하나를 더 포함하는

베타 전지 제조 방법.

청구항 11

제1 타입의 기판과,

상기 기판의 적어도 일부에 형성된 제2 타입의 웰(well)과,

상기 기판의 다른 일부에 위치하고, 방사성동위원소를 포함하도록 형성된 제1 영역과,

상기 웰 내에 위치하고, 상기 방사성동위원소를 포함하도록 형성된 제2 영역과,

상기 제1 영역 내의 적어도 일부에 형성되고, 상기 제1 영역의 상기 방사성동위원소와 전기적으로 연결된 제1 전극과,

상기 제2 영역 내의 적어도 일부에 형성되고, 상기 제2 영역의 상기 방사성동위원소와 전기적으로 연결된 제2 전극을 포함하는

베타 전지.

청구항 12

제11항에 있어서,

상기 제1 영역 내의 방사성동위원소와 상기 제1 전극은 서로 교차되어 배치되고,

상기 제2 영역 내의 방사성동위원소와 상기 제2 전극은 서로 교차되어 배치되는

베타 전지.

청구항 13

제11항에 있어서,

상기 제1 영역의 상부 및 상기 제2 영역의 상부는 금속으로 마스킹되는

베타 전지.

청구항 14

제1 타입의 실리콘 기판의 적어도 일부에 제2 타입의 웰(well)을 형성하는 단계와,

상기 웰의 적어도 일부를 제거하여 제1 영역을 형성하고, 상기 제1 타입의 실리콘 기판 중에서 상기 웰이 형성되지 않은 적어도 일부를 제거하여 제2 영역을 형성하는 단계와,

상기 제1 영역을 방사성동위원소 및 제1 전극으로 충진하고, 상기 제2 영역을 상기 방사성동위원소 및 제2 전극으로 충진하는 단계와,

상기 웰과 상기 제1 영역의 상단에 위치되어 상기 웰과 상기 제1 영역을 마스킹(masking)하는 금속을 형성하고, 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역의 상단에 위치되어 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역을 마스킹하는 금속을 형성하는 단계를 포함하는

베타 전지 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 방사성동위원소에서 방출되는 방사선을 이용하여 전하를 생성시키는 베타 전지 및 그 제조 방법에 관한 것이다.

배터리 기술

[0002] 베타 전지(betavoltaic battery)는 방사성동위원소에서 방출되는 방사선을 pn접합 반도체가 흡수하여 전하를 생성시키는 원리를 이용한 전지이다. 이러한 베타 전지의 수명은 수십년 내지 수백년으로 매우 길기 때문에 배터리가 이용되는 다양한 분야에서 각광받고 있다.

[0003] 베타 전지는 일반적으로 pn 접합이 형성된 반도체 기판 상단에 독립된 공정을 통해 생산한 방사성동위원소로 구

성된 물질(이하, '선원')을 접합시켜 pn 접합에서 전자-정공쌍을 생성시킴으로써 전력을 생산한다. 하지만, 이러한 경우 전지의 성능이 선원의 품질이나 방사선량 등에 의존하며, 선원에서 생성된 베타선이 pn 접합에 전달되는 효율이 떨어질 경우, 결과적으로 출력이 극히 낮게 나타나게 된다.

- [0004] 이에 따라, 베타 전지의 출력 전류를 높이기 위해서 다층으로 선원을 배열하게 된다. 그러나, 이러한 경우에는 선원을 적층함으로써 불가결하게 베타 전지의 크기가 커지기 때문에, 베타 전지의 소형화를 어렵게 한다. 따라서, 베타 전지의 출력 효율은 항상시키되 베타 전지의 크기를 최소화하기 기술이 요구된다.

선생기술문현

특허문현

- [0005] (특허문현 0001) 한국등록특허 제10-0935351호 (2009년 12월 28일 등록)

발명의 내용

해결하려는 과제

- [0006] 본 발명이 해결하고자 하는 과제는, 효과적으로 전류를 출력하되 크기가 최소화된 베타 전지 및 이러한 베타 전지의 제조 방법을 제공하는 것이다.

- [0007] 다만, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 바로 제한되지 않으며, 언급되지는 않았으나 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있는 목적을 포함할 수 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 베타 전지는, 제1 타입의 기판과, 상기 기판의 적어도 일부에 형성된 제2 타입의 웰(well)과, 상기 기판의 다른 일부에 방사성동위원소로 형성된 제1 영역과, 상기 웰에 상기 방사성동위원소로 형성된 제2 영역과, 상기 제1 영역의 상부에 형성된 제1 전극과, 상기 제2 영역의 상부에 형성된 제2 전극을 포함할 수 있다.

- [0009] 본 발명의 일 실시예에 따른 베타 전지의 제조 방법은, 제1 타입의 실리콘 기판의 적어도 일부에 제2 타입의 웰(well)을 형성하는 단계와, 상기 웰의 적어도 일부를 제거하여 제1 영역을 형성하고, 상기 웰이 형성되지 않은 제1 타입의 실리콘 기판의 적어도 일부를 제거하여 제2 영역을 형성하는 단계와, 상기 제1 영역과 상기 제2 영역을 방사성동위원소로 도금하는 단계와, 상기 웰과 상기 제1 영역의 상단에 위치되어 상기 웰과 상기 제1 영역을 마스킹(masking)하는 제1 전극을 형성하고, 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역의 상단에 위치되어 상기 웰이 형성되지 않은 실리콘 기판과 상기 제2 영역을 마스킹하는 제2 전극을 형성하는 단계를 포함할 수 있다.

발명의 효과

- [0010] 본 발명의 실시예에 따른 베타 전지는, 방사성동위원소를 베타 전지 내에 입체 구조로 형성함으로써, 반도체 내부에 베타선이 효율적으로 전달되도록 하여 출력 전류의 효율을 항상시키되 크기는 최소화되도록 수 있다.

- [0011] 또한, 본 발명의 실시예에 따른 베타 전지의 제조 방법은, 베타 전지 생성시 선원의 형성을 독립공정이 아닌 기존 구리배선시 사용하는 반도체 습식 공정에서 그대로 사용가능하기 때문에 공정이 단일화 또는 집적화하여 보다 용이하게 베타 전지가 제조되도록 할 수 있다.

- [0012] 또한, 본 발명의 실시예에 따른 베타 전지의 제조 방법은, 반도체 공정을 이용함으로써, 베타 전지에서 발생된 전력을 저장하는 캐페시터 또는 구동회로 등과 함께 베타 전지를 집적할 수 있기 때문에 센서 등과 같은 다기능 칩 제조가 가능하도록 할 수 있다.

- [0013] 다만, 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 베타 전지의 구성을 개념적으로 도시한다.
- 도 2는 본 발명의 일 실시예에 따른 베타 전지의 훌 또는 트렌치가 배치되는 예를 개념적으로 도시한다.
- 도 3은 본 발명의 일 실시예에 따른 베타 전지의 제조 방법의 과정을 개념적으로 도시한다.
- 도 4는 본 발명의 일 실시예에 따른 베타 전지의 제조 방법의 각 단계의 흐름을 도시한다.
- 도 5는 본 발명의 일 실시예에 따른 베타 전지에서 전극과 방사성동위원소가 배치되는 구체적인 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범주는 청구항에 의해 정의될 뿐이다.
- [0016] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 실시예들을 설명함에 있어 실제로 필요한 경우 외에는 생략될 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예들을 포함할 수 있는바, 특정 실시예들을 도면에 예시하고 상세한 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로서 이해되어야 한다.
- [0018] 제 1, 제 2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 해당 구성요소들은 이와 같은 용어들에 의해 한정되지는 않는다. 이 용어들은 하나의 구성요소들을 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0019] 어떤 구성요소가 다른 구성요소에 '연결되어' 있다거나 '접속되어' 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 베타 전지의 구성을 개념적으로 도시한다. 보다 구체적으로, 도 1은 베타 전지의 구성을 보다 구체적으로 설명하기 위해 특정 단면을 개념적으로 도시한다.
- [0021] 도 1을 참조하면, 베타 전지(1)는 제1 타입의 기판(10), 제2 타입의 웰(20), 기판(10)에 형성된 제1 영역(30), 웰(20)에 형성된 제2 영역(40), 제1 영역(30)의 상부에 형성된 제1 전극(50), 제2 영역(40)의 상부에 형성된 제2 전극(60)을 포함할 수 있다. 경우에 따라, 베타 전지(1)는 제1 전극(50) 및 제2 전극(60)과 연결되는 전원부(70)를 더 포함할 수도 있다.
- [0022] 기판(10)은 실리콘 결정질 기판일 수 있다. 기판(10)의 타입, 즉, 제1 타입은 n 타입일 수 있다. 웰(20)은 기판(10)의 일부에 형성되고, 기판과 상이한 타입으로 형성될 수 있다. 이에 따라, 제1 타입이 n 타입일 경우, 제2 타입은 p 타입일 수 있다. 다만, 이에 제한되는 것은 아니며, 경우에 따라, 제1 타입은 p 타입이고, 제2 타입은 n 타입일 수도 있다.
- [0023] 제1 영역(30) 또는 제2 영역(40)은 훌(hole) 또는 트렌치(trench)로 형성된 영역일 수 있다. 제1 영역(30) 또는 제2 영역(40)이 훌로 형성되는 경우, 훌은 기판의 전면적에 걸쳐 소정 간격 이상을 가지도록 랜덤하게 배치될 수도 있고, 규칙적으로 배치될 수 있다. 제1 영역(30) 또는 제2 영역(40)이 트렌치로 형성되는 경우, 기 지정된 형태로 형성될 수 있다. 이와 관련된 보다 구체적인 예는 도 2를 참조할 수 있다.
- [0024] 경우에 따라, 제1 영역(30) 또는 제2 영역(40)에 형성되는 훌 또는 트렌치는 기판의 상부 쪽의 직경이 하부 쪽의 직경보다 크게 형성될 수 있다. 즉, 도시된 바와 같이, 아래로 내려갈수록 직경이 줄어지는 형태를 가질 수 있다.

- [0025] 제1 영역(30)과 제2 영역(40)에는 방사성동위원소(또는 선원)가 충진될 수 있다. 방사성동위원소는 예를 들면, Ni-63을 포함할 수 있다. 제1 영역(30)과 제2 영역(40)이 Ni-63로 충진됨으로써 Ni-63에서 방출되는 방사선이 웰(20)과 기판(10)에 보다 효과적으로 흡수될 수 있다. 한편, 방사성동위원소는 Ni-63에 제한되는 것은 아니며, 다른 여러 종류의 방사성동위원소, 예를 들면, H-3 또는 Pm-147도 가능하다.
- [0026] 경우에 따라, 제1 영역(30)은 방사성동위원소와 기판(10) 사이에 시드층 또는 촉매입자층을 포함할 수 있다. 제2 영역(40)은 방사성동위원소와 웰(20) 사이에 시드층 또는 촉매입자층을 포함할 수 있다. 시드층 또는 촉매입자층은, 방사성동위원소가 제1 영역(30)과 제2 영역(40) 각각에 전해 및 무전해 도금으로 충진되도록 하기 위해 형성된 것으로, 시드층 또는 촉매입자층에 기초하여 제1 영역(30)과 제2 영역(40) 각각이 방사성동위원소로 충진될 수 있다.
- [0027] 방사성동위원소와 기판(10) 또는 방사성동위원소와 웰(20) 사이에 시드층이 포함되는 경우, 시드층에 기초하여 전해도금이 가능할 수 있다. 만약, 방사성동위원소와 기판(10) 또는 방사성동위원소와 웰(20) 사이에 촉매입자층이 포함되는 경우, 환원제를 사용하는 화학적 도금(또는 무전해도금)이 가능할 수 있다. 촉매입자층은 Pd, Pt 또는 Au를 포함하도록 구성될 수 있다.
- [0028] 제1 영역(30)의 상부에는 제1 전극(50)이 형성되고, 제2 영역(40)의 상부에는 제2 전극(60)이 형성될 수 있다. 제1 전극(50)이 제1 영역(30)의 상부에 위치됨으로써, 제1 영역(30)의 홀 또는 트렌치는 전기적으로 연결될 수 있다. 제2 전극(60)이 제2 영역(40)의 상부에 위치됨으로써, 제2 영역(40)의 홀 또는 트렌치도 전기적으로 연결될 수 있다. 예를 들어, 제1 전극(50)은 제1 영역(40)을 덮도록 형성될 수 있으며, 제2 전극(60)은 제2 영역(40)을 덮도록 형성될 수 있고, 이에 따라, 각 영역에 포함되는 홀 또는 트렌치가 전기적으로 연결될 수 있다.
- [0029] 구체적으로 도시하지는 않았으나, 경우에 따라, 제1 전극(50)은 제1 영역(30)의 적어도 일부에 형성되고, 제2 전극(60)은 제2 영역(40)의 적어도 일부에 형성될 수 있다. 예를 들어, 제1 전극(50)은 방사성동위원소와 교차해서(또는 엇갈려서) 제1 영역(30)을 채울 수 있고, 제2 전극(60)은 방사성동위원소와 교차해서 제2 영역(40)을 채울 수 있다. 이러한 경우, 내부에서 발생한 전자 및 정공의 기판(10) 또는 웰(20)에 대한 전달이 더 용이할 수 있다. 이와 관련된 보다 구체적인 예는 도 5를 참조할 수 있다.
- [0030] 제1 전극(50) 또는 제2 전극(60)은 구리로 형성될 수 있으나, 이에 제한되는 것은 아니고 전극으로 이용되는 다양한 물질, 예를 들면 은, 니켈, 티타늄, 주석 등으로도 형성될 수 있다.
- [0031] 본 발명의 실시예에 따른 베타 전지(10)는, 홀 또는 트렌치의 형태로 제1 영역(30)과 제2 영역(40)이 형성되어 방사성동위원소로 충진됨으로써, 방사성동위원소의 웰(20) 또는 기판(10)과의 접촉 면적이 최대화된 형태를 가질 수 있다. 이에 따라, 방사성동위원소에서 방사선이 방출되면 웰(20)과 기판(10)에 보다 효과적으로 흡수되어, 결과적으로 출력 전류가 보다 효과적으로 생성될 수 있다.
- [0032] 또한, 본 발명의 실시예에 따른 베타 전지(10)는 방사성동위원소의 웰(20) 또는 기판(10)의 내부에 형성된 홀 또는 트렌치에 의해 접촉 면적이 증대된 것으로, 다층 구조를 가지지 않아 베타 전지(1)의 소형화를 도모할 수 있다.
- [0033] 도 2는 본 발명의 일 실시예에 따른 베타 전지의 홀 또는 트렌치가 배치되는 예를 개념적으로 도시한다.
- [0034] 구체적으로, 도 2는 베타 전지(1)의 제1 영역(30)과 제2 영역(40)이 배치를 평면도의 형태로 나타낸다. 즉, 도 2에는 베타 전지(1)의 제1 전극(50)과 제2 전극(60)을 생략하여 제1 영역(30)과 제2 영역(40)의 배치 형태를 구체적으로 도시한다.
- [0035] 참조번호 2a는 제1 영역(30)과 제2 영역(40)이 홀로 형성된 예를 도시한다. 참조번호 2a에 따르면, 홀은 소정의 간격을 가지도록 규칙적으로 배치될 수 있다.
- [0036] 참조번호 2b는 제1 영역(30)과 제2 영역(40)이 트렌치로 형성된 예를 도시한다. 트렌치의 형태는 기지정된 것일 수 있다.
- [0037] 도 3은 본 발명의 일 실시예에 따른 베타 전지의 제조 방법의 과정을 개념적으로 도시한다. 또한, 도 3에 도시된 방법의 각 단계는 경우에 따라 도면에 도시된 바와 그 순서를 달리하여 수행될 수 있음을 물론이다.
- [0038] 제1 타입의 기판(10)을 생성(2a)하고, 제1 타입의 기판(10)의 일부에 제2 타입의 웰을 형성(2b)한다. 웰(20)은 다양한 방법을 이용하여 기판(10)의 일부에 형성될 수 있다. 예를 들어, 웰(20)은 확산법에 의해 기판(10)에 형성될 수 있다. 확산법은 통상의 기술자에게 용이한바 자세한 설명은 생략하겠다.

- [0039] 기판(10)과 웰(20)이 형성되면, 기판(10)의 일부에 제1 영역(30)을 생성하고, 웰(20)의 일부에 제2 영역(40)을 생성(2c)할 수 있다. 제1 영역(30)과 제2 영역(40)은 반도체 공정을 이용하여 형성될 수 있다. 반도체 공정은 기존에 반도체 생성을 위해 이용되던 공정을 포함할 수 있다. 예를 들어, 제1 영역(30)과 제2 영역(40)의 형성을 위한 반도체 공정은 RIE(reactive ion etching)를 포함할 수 있다. RIE는 반응성 가스를 이용하여 에칭을 수행하는 반도체 공정일 수 있다.
- [0040] 제1 영역(30)과 제2 영역(40)이 생성되면, 각각에 도금을 위한 시드층 또는 촉매입자층이 형성(2d)될 수 있다. 제1 영역(30)의 시드층 또는 촉매입자층은 기판(10)과 접촉하는 면을 따라 형성될 수 있다. 제2 영역(40)의 시드층 또는 촉매입자층은 웰(20)과 접촉하는 면을 따라 형성될 수 있다. 다만, 이에 제한되는 것은 아니며 제1 영역(30)의 벽면의 적어도 일부 또는 제2 영역(40)의 벽면의 적어도 일부에 형성될 수도 있다.
- [0041] 시드층 또는 촉매입자층이 형성되면 방사성동위원소가 제1 영역(30)과 제2 영역(40)에 충진(2e)될 수 있다. 구체적으로 예를 들면, 전해도금 및 무전해도금과 같은 전기화학적 방법으로 방사성동위원소가 시드층 또는 촉매입자층에 도금되어 제1 영역(30)과 제2 영역(40)이 방사성동위원소로 충진될 수 있다.
- [0042] 이에 따라 방사성동위원소로 도금을 위해 도금액의 제조가 선행될 수 있다. 방사성동위원소가 Ni-63을 포함하는 경우, 도금액의 제조를 위해, Ni-62에 중성자를 조사하여 Ni-63을 제조한 후 염소화하여 $^{63}\text{NiCl}_2$ 를 생산함으로써 Ni-63 전해액을 제조할 수 있다. 경우에 따라, 도금액의 제조를 위해 Ni-62를 염소화하여 $^{62}\text{NiCl}_2$ 를 제조한 뒤, 중성자를 조사하여 $^{63}\text{NiCl}_2$ 를 생산하여 Ni-63 전해액을 제조할 수도 있다.
- [0043] Ni-63 전해액에 pH 조절제, 안정제, 또는 초등각 전착(superconformal deposition)을 위한 유기첨가제를 첨가하여 최종적으로 도금액을 제조할 수 있다.
- [0044] 한편, 방사성동위원소는 Ni-63에 제한되는 것은 아니며, 다른 여러 종류의 방사성동위원소, 예를 들면, H-3 또는 Pm-147도 가능하다.
- [0045] 제1 영역(30)과 제2 영역(40) 각각에 방사성동위원소가 충진되면, 제1 영역(30)의 상부에 제1 전극(50)을 형성하고, 제2 영역(40)의 상부에 제2 전극(60)을 형성(2f)할 수 있다. 제1 전극(50)과 제2 전극은 CMP(chemical mechanical polishing)와 패터닝(patterning)에 의해 형성될 수 있다.
- [0046] 보다 구체적으로, 제1 영역(30)과 제2 영역(40)에 방사성동위원소를 충진한 후 기판의 표면에 튀어나온 잔여물을 CMP 공정을 이용하여 제거하고, 마스킹을 수행한 후, 패터닝을 이용하여 전극을 전착할 수 있다.
- [0047] 도시하지는 않았으나, 전극이 전착된 후, 전극에 배선을 하여 베타 전지의 패키징을 완료할 수 있다. 패키징 완료된 베타 전지는 구동이 수행되어 전류를 출력할 수 있다.
- [0048] 상술한 바와 같이 방사성동위원소를 반도체 내부에 삽입함으로써 방사성동위원소에 의해 발생되는 베타선이 효율적으로 전자-정공쌍을 발생시키도록 할 수 있다. 이에 따라, 베타 전지(1)는 효과적으로 전압을 출력할 수 있으며 보다 작은 크기로 생성될 수 있다.
- [0049] 도 4는 본 발명의 일 실시예에 따른 베타 전지의 제조 방법의 각 단계의 흐름을 도시한다. 경우에 따라, 도 4의 각 단계는 순서와 무관하게 또는 순서를 바꾸어 수행될 수도 있다.
- [0050] 도 4를 참조하면, 제1 타입의 기판(10)의 적어도 일부에 제2 타입의 웰(20)을 형성할 수 있다(S110). 기판(10)과 웰(20)은 결정질 실리콘으로 구성될 수 있다. 제1 타입은 n 타입이고, 제2 타입은 p 타입일 수 있다. 경우에 따라, 제1 타입은 p 타입이고, 제2 타입은 n 타입일 수도 있다.
- [0051] 웰(20)의 적어도 일부를 제거하여 제1 영역(30)을 형성하고, 웰(20)이 형성되지 않은 제1 타입의 실리콘 기판(10)의 적어도 일부를 제거하여 제2 영역(40)을 형성할 수 있다(S120). 제1 영역(30) 또는 제2 영역(40)은 웰 또는 기판의 내부에 형성될 수 있다. 예를 들어, 제1 영역(30) 또는 제2 영역(40)은 홀 또는 트렌치를 포함할 수 있다.
- [0052] 경우에 따라, 제1 영역(30) 또는 제2 영역(40)의 생성을 위해 반도체 공정을 이용할 수 있다. 예를 들어, 반도체 공정의 RIE에 기초하여, 기판(10) 또는 웰(20)의 적어도 일부를 식각함으로써, 제1 영역(30)과 제2 영역(40)을 형성할 수 있다.
- [0053] 경우에 따라, 제1 영역(30)은 하부는 좁고 상부로 넓은 형태로 형성될 수 있다. 제1 영역(30) 또는 제2 영역

(40)이 홀을 포함하는 경우, 홀은 기지정된 형태, 기지정된 배열 또는 기지정된 간격으로 형성될 수 있다. 제1 영역(30) 또는 제2 영역(40)이 트렌치를 포함하는 경우, 기지정된 패턴으로 트렌치가 형성될 수 있다. 다만, 이에 제한되는 것은 아니며, 예를 들어, 제1 영역(30)과 기판(10)과의 접촉 면적, 또는 제2 영역(20)과 웰(20)과의 접촉 면적이 소정 값 이상이 되도록, 홀 또는 트렌치가 형성될 수도 있다.

[0054] 제1 영역(30)과 제2 영역(40)이 형성되면, 제1 영역(30)과 제2 영역(40)을 방사성동위원소로 도금할 수 있다 (S130). 보다 구체적으로, 도금에 앞서, 제1 영역(30)의 기판(10)과 인접하는 표면의 적어도 일부에 도금을 위한 시드층 또는 촉매입자층을 형성할 수 있다. 제2 영역(40)이 형성되면, 제2 영역(40)의 웰(20)과 인접하는 표면의 적어도 일부에 도금을 위한 시드층 또는 촉매입자층을 형성할 수 있다.

[0055] 제1 영역(30)과 제2 영역(40) 각각에 대해 시드층 또는 촉매입자층이 형성되면, 시드층 또는 촉매입자층 위에서 도금이 수행되도록 함으로써, 최종적으로 제1 영역(30)과 제2 영역(40)을 방사성동위원소로 충진할 수 있다. 구체적으로, Ni-63 도금액을 이용하여 시드층에 방사성동위원소인 Ni-63가 성장하도록 하여 도금을 수행할 수 있다.

[0056] 한편, 도금을 위한 Ni-63 도금액은, Ni-62에 중성자를 조사하여 Ni-63을 제조하고, 상기 제조된 Ni-63을 염소화하여 $^{62}\text{NiCl}_2$ 를 제조한 후 상기 제조된 $^{62}\text{NiCl}_2$ 에 중성자를 조사하는 것에 기초하여 생성되는 $^{63}\text{NiCl}_2$ 를 포함할 수 있다.

[0057] 경우에 따라, Ni-63 도금액은 pH 조절제, pH 안정제, 유기첨가제 중 적어도 하나를 더 포함할 수 있다. 예를 들어, 도금의 수행에 앞서, 도금액에 기지정된 양만큼 pH 조절제, pH 안정제, 및 유기첨가제가 포함되도록 도금액을 제조할 수 있다. 이러한 경우, 도금의 속도 또는 도금의 성장을 등이 조절되어 보다 균일하게 제1 영역(30)과 제2 영역(40)이 충진될 수 있다.

[0058] 한편, 방사성동위원소는 Ni-63에 제한되는 것은 아니며, 다른 여러 종류의 방사성동위원소, 예를 들면, H-3 또는 Pm-147도 가능하다. 이러한 경우에도, 상술한 것과 같이, 해당 방사성동위원소의 도금액을 제조함에 기초하여 제1 영역(30) 또는 제2 영역(40)을 충진하는 방법이 이용될 수 있다.

[0059] 웰(20)과 제1 영역(30)의 상단에 위치되어 웰(20)과 제1 영역(30)을 마스킹하는 제1 전극(50)을 형성하고, 웰(20)이 형성되지 않은 실리콘 기판과 제2 영역(40)의 상단에 위치되어 웰(20)이 형성되지 않은 실리콘 기판(10)과 제2 영역(40)을 마스킹하는 제2 전극(60)을 형성할 수 있다(S140).

[0060] 예를 들어, 제1 전극(50)은 제1 영역(30)을 덮도록 형성될 수 있으며, 제2 전극(60)은 제2 영역(40)을 덮도록 형성될 수 있고, 이에 따라, 각 영역에 포함되는 0홀 또는 트렌치가 전기적으로 연결될 수 있다. 제1 전극(50) 또는 제2 전극(60)은 전극으로 이용가능한 다양한 물질(예: 구리, 은, 니켈 등)로 제조될 수 있다.

[0061] 그 후, 제1 전극(50)과 제2 전극(60)에 배선을 하여 베타 전지(1)의 제조를 완료할 수 있다. 경우에 따라, 베타 전지(1)와 함께 커패시터 또는 구동 회로를 함께 집적하여 다기능 칩을 제조할 수도 있다.

[0062] 도 5는 본 발명의 일 실시예에 따른 베타 전지에서 전극과 방사성동위원소가 배치되는 구체적인 예를 도시한다.

[0063] 도 5를 참조하면, 제1 전극(50)은 제1 영역(30)의 적어도 일부에 형성될 수 있다. 구체적으로, 방사성동위원소(35)와 제1 전극(50)은 교차되어 제1 영역(30)을 채울 수 있다. 이러한 경우, 제1 영역(30)의 외부로 노출되는 표면, 즉 제1 영역(30)의 상단은 금속(예: 구리)로 덮힐 수 있다.

[0064] 이와 마찬가지로, 제2 전극(60)은 제2 영역(40)의 적어도 일부에 형성될 수 있다. 구체적으로, 방사성동위원소(35)와 제2 전극(60)은 교차되어 제2 영역(40)을 채울 수 있다. 이러한 경우, 제2 영역(40)의 외부로 노출되는 표면, 즉 제2 영역(40)의 상단은 금속(예: 구리)로 덮힐 수 있다.

[0065] 한편, 전극(예: 제1 전극(50), 제2 전극(60))과 방사성동위원소(35)가 교차되는 형태는 도시된 예에 제한되지 않고, 다양한 형태로 교차되어 배치될 수 있다. 이러한 경우, 이러한 경우, 내부에서 발생한 전자 및 정공의 기관(10) 또는 웰(20)에 대한 전달이 더 용이할 수 있다.

[0066] 이와 같이, 전극이 제1 영역(30) 또는 제2 영역(40) 내에 위치하게 되는 경우, 도 3의 참조번호 2f에 해당하는 단계는 참조번호 2e에 해당하는 단계와 통합되어, 전극이 방사성동위원소와 함께 제1 영역(30) 또는 제2 영역(40)을 충진하는 형태로 형성될 수 있다.

[0067] 본 발명의 실시예에 따른 베타 전지(10)의 제조 방법은, 기존에 반도체의 제조를 위해 이용되던 반도체 공정을

이용하여 베타 전지(10)가 제조되도록 함으로써, 경제적이되 효과적으로 베타 전지(10)가 제조되도록 할 수 있다.

[0068] 또한, 본 발명의 실시예에 따른 베타 전지(10)의 제조 방법은, 반도체 공정을 이용하기 때문에, 베타 전지(10) 제조 공정의 단일화 또는 집적화가 용이하며, 또한, 베타 전지(10)를, 베타 전지(10)에서 발생하는 전력을 저장하는 커패시터 또는 구동회로 등과 함께 집적할 수 있어, 센서 등과 같은 다기능 칩 제조가 가능하게 한다.

[0069] 본 발명의 실시예에 따른 베타 전지(10)의 제조 방법은, 기판(10) 또는 웰(20)의 적어도 일부를 예칭하여 제1 영역(30)과 제2 영역(40)을 형성하여 방사성동위원소로 충진함으로써, 방사성동위원소의 웰(20) 또는 기판(10)과의 접촉 면적이 최대화되도록 할 수 있다. 이에 따라, 방사성동위원소에서 방사되는 방사선(예: 베타선)이 웰(20)과 기판(10)에 보다 효과적으로 흡수되어, 출력 전류가 보다 효과적으로 생성될 수 있다.

[0070] 또한, 본 발명의 실시예에 따른 베타 전지(10)의 제조 방법은 방사성동위원소의 웰(20) 또는 기판(10)의 내부에 훌 또는 트렌치를 형성함으로써, 베타 전지(1)가 보다 작은 크기를 가지도록 제조할 수 있다.

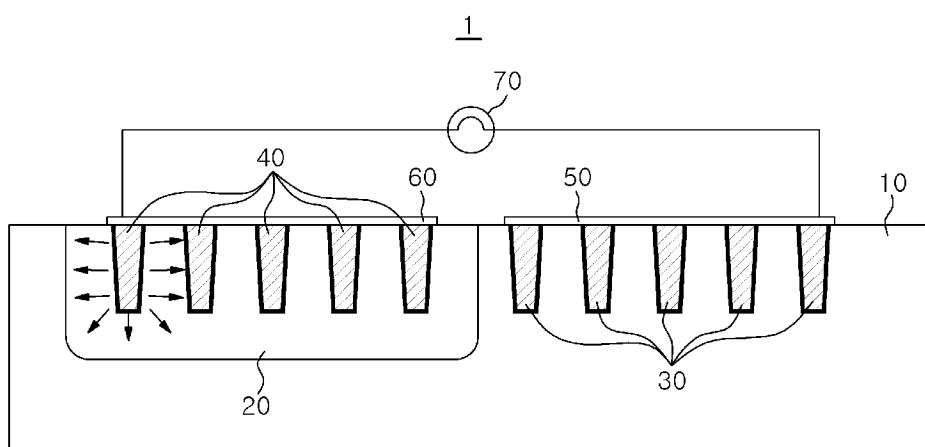
[0071] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 품질에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

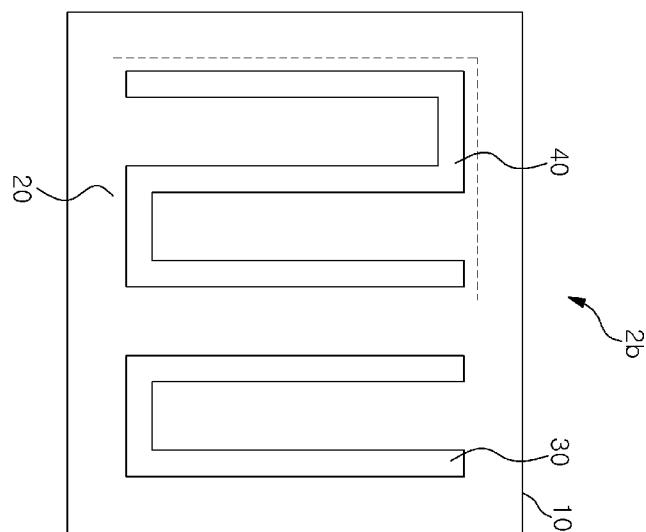
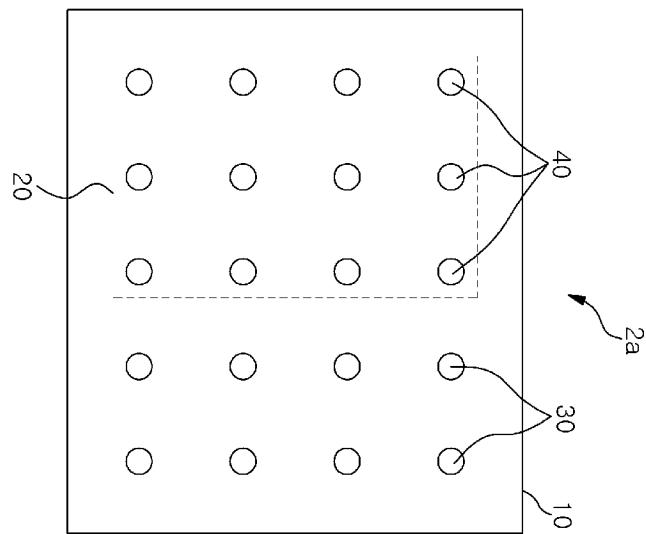
- [0072] 1: 베타 전지
- 10: 기판
- 20: 웰
- 30: 제1 영역
- 40: 제2 영역
- 50: 제1 전극
- 60: 제2 전극
- 70: 전원

도면

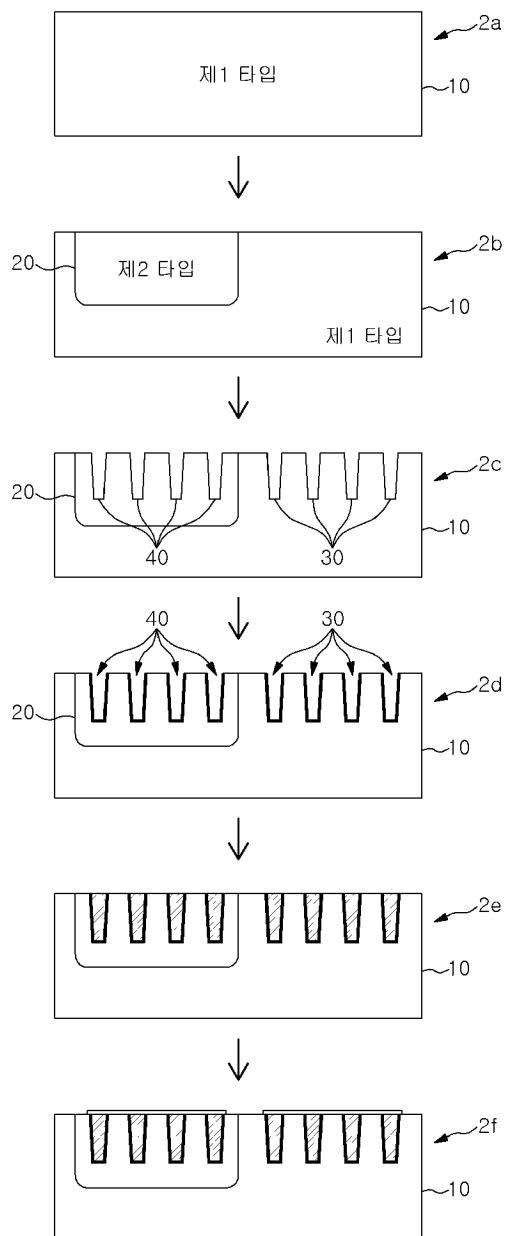
도면 1



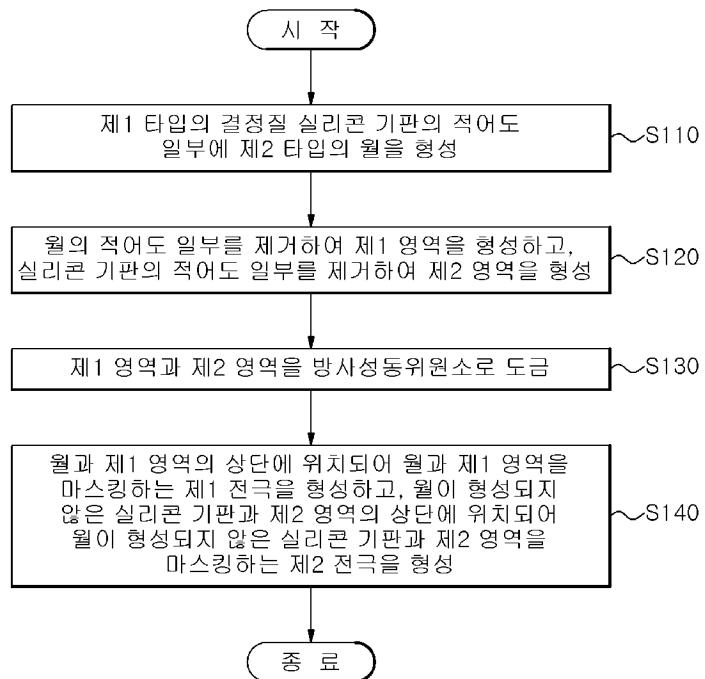
도면 2



도 8 3



도 34



도 35

