



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월29일
(11) 등록번호 10-2471615
(24) 등록일자 2022년11월23일

(51) 국제특허분류(Int. Cl.)
G21H 1/06 (2006.01) H01L 31/115 (2006.01)
(52) CPC특허분류
G21H 1/06 (2013.01)
H01L 31/115 (2013.01)
(21) 출원번호 10-2020-0094737
(22) 출원일자 2020년07월29일
심사청구일자 2020년07월29일
(65) 공개번호 10-2022-0014734
(43) 공개일자 2022년02월07일
(56) 선행기술조사문헌
KR1020120071241 A*
KR1020160098915 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국원자력연구원
대전광역시 유성구 대덕대로989번길 111(덕진동)
(72) 발명자
이창화
세종특별자치시 남세종로 301, 502동 1401호 (소담동, 새샘마을5단지)
이성재
대전광역시 유성구 관평1로 12, 704동 1301호 (관평동, 대덕테크노밸리7단지아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 10 항

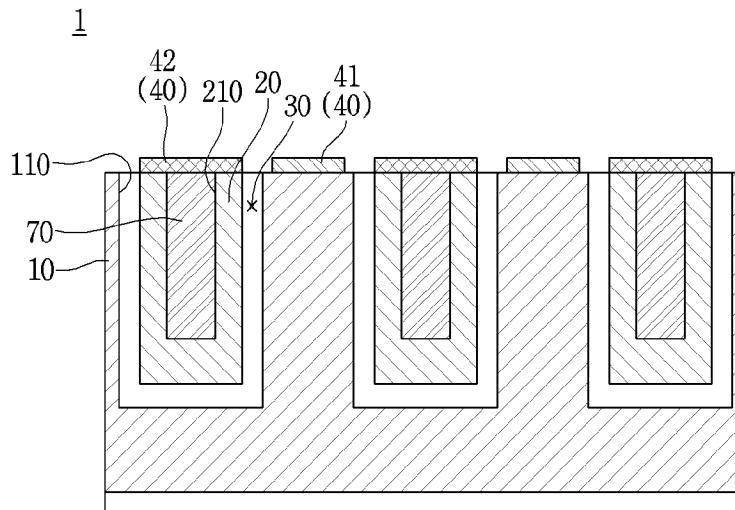
심사관 : 최우용

(54) 발명의 명칭 베타 전지 및 이의 제조 방법

(57) 요약

본 발명은, 방사성 동위 원소가 입체 구조로 형성되는 베타 전지 및 이의 제조 방법에 있어서, p형 반도체 및 n형 반도체 중 어느 하나로 이루어지고, 기 설정된 회로 패턴을 따라 일면에 트렌치가 함몰 형성되는 기관, p형 반도체 및 n형 반도체 중 다른 하나로 이루어지는 첨가 영역, 삼차원 구조로 형성되어 상기 트렌치에 삽입되는 방사성 동위 원소를 포함하는, 베타 전지 및 이의 제조 방법을 개시한다.

도 1



(72) 발명자

윤달성

대전광역시 유성구 관평1로 12, 710동 101호 (관평동, 대덕테크노밸리7단지아파트)

장준혁

세종특별자치시 도움1로 105, 526동 701호 (종촌동, 가재마을 5단지)

김가영

대전광역시 유성구 배울1로 119, 1209동 1004호 (용산동, 대덕테크노밸리12단지아파트)

백승우

충청남도 공주시 백제큰길 1558-20 (검상동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711103737
과제번호	2017M2A8A5015079
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원자력기술개발사업(R&D)
연구과제명	파이로 타당성 연구 및 전해회수공정 핵심기술 개발
기 여 율	1/1
과제수행기관명	한국원자력연구원
연구기간	2020.01.01 ~ 2020.12.31

공지에외적용 : 있음

명세서

청구범위

청구항 1

p형 반도체 및 n형 반도체 중 어느 하나로 이루어지고, 기 설정된 회로 패턴을 따라 일면에 트렌치가 함몰 형성되는 기판;

p형 반도체 및 n형 반도체 중 다른 하나로 이루어지고, 상기 트렌치에 삽입되며, 상면에서 하측으로 함몰 형성되는 함몰부가 구비되는 첨가 영역; 및

핵붕괴 시 베타선을 방출하고, 상기 함몰부에 충전되는 방사성 동위 원소를 포함하고, 상기 기판의 상기 일면에는 상기 트렌치와 서로 이격되는 제1 전극이 적층되며,

상기 첨가 영역 및 상기 방사성 동위 원소의 상면에는, 상기 제1 전극과 서로 이격되는 제2 전극이 적층되고,

상기 제1 전극이 적층된 기판과 상기 제2 전극이 적층된 첨가 영역 사이에는,

절연된 영역이며, 상면에 전극이 적층되지 않는 공간 전하 영역이 형성되는 것을 특징으로 하는, 베타 전지.

청구항 2

제1항에 있어서,

상기 방사성 동위 원소는 ^{63}Ni 인, 베타 전지.

청구항 3

제1항에 있어서,

상기 기판의 상기 일면에는 상기 트렌치와 서로 이격되는 전극 수용부가 함몰 형성되고, 상기 제1 전극은 상기 전극 수용부에 삽입되는, 베타 전지.

청구항 4

제1항에 있어서,

인접하게 배치되는 두 개의 상기 트렌치 사이 간격은 $10\mu\text{m}$ 이하인, 베타 전지.

청구항 5

제1항에 있어서,

상기 함몰부의 내주면에 적층되는 확산층(diffusion layer);

상기 확산층과 상기 방사성 동위 원소 사이에 배치되는 씨앗층(seed layer)을 포함하는, 베타 전지.

청구항 6

(a) 기판의 일면에 기 설정된 회로 패턴을 따라 트렌치가 함몰 형성되도록 상기 기판이 식각되는 단계;

(b) 상기 트렌치에 첨가 영역이 삽입되는 단계;

(c) 상기 첨가 영역의 내부에 방사성 동위 원소가 다마신(damascene) 공법으로 전착되는 단계;

(d) 상기 기판의 상기 일면에 상기 트렌치와 서로 이격되는 제1 전극이 적층되고, 상기 첨가 영역 및 상기 방사성 동위 원소의 상면에 제2 전극이 적층되는 단계를 포함하고,

상기 제1 전극이 적층된 기판과 상기 제2 전극이 적층된 첨가 영역 사이에는,

절연된 영역이며, 상면에 전극이 적층되지 않는 공간 전하 영역이 형성되는 것을 특징으로 하는, 베타 전지의

제조 방법.

청구항 7

제6항에 있어서,

상기 (a) 단계 이전에, (a0) 상기 트렌치의 형상, 너비, 깊이 및 간격이 설계되는 단계를 포함하는, 베타 전지의 제조 방법.

청구항 8

제6항에 있어서,

상기 (a) 단계는, (a1) 상기 일면의 상기 회로 패턴을 제외한 부분에 마스크가 부착되는 단계를 포함하고,

상기 (b) 단계는,

(b1) 상기 첨가 영역이 상기 일면 및 상기 마스크의 상면에 적층되는 단계; 및

(b2) 상기 마스크가 상기 기판으로부터 제거되는 단계를 포함하는, 베타 전지의 제조 방법.

청구항 9

제6항에 있어서, 상기 (c) 단계는,

(c1) 상기 첨가 영역의 함몰부에 확산층이 적층되는 단계;

(c2) 상기 확산층에 씨앗층이 적층되는 단계;

(c3) 상기 함몰부에 ^{63}Ni 도금액이 충전되어 ^{63}Ni 이 상기 씨앗층에 전착되는 단계; 및

(c4) 상기 함몰부의 외부에 잔존하는 ^{63}Ni 이 제거되는 단계를 포함하는, 베타 전지의 제조 방법.

청구항 10

제9항에 있어서,

상기 (c3) 단계에서 상기 함몰부에 충전되는 상기 ^{63}Ni 도금액은, pH 조절제, pH 안정제 및 유기 첨가제 중 적어도 어느 하나를 포함하는, 베타 전지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 베타 전지 및 이의 제조 방법에 관한 것으로, 보다 구체적으로, 방사성 동위 원소가 입체 구조로 형성되는 베타 전지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 베타 전지는 원자력 전지의 한 종류로서, 핵붕괴 시 베타선을 방출하는 방사성 동위 원소로부터 방출된 베타 입자를 반도체에 충돌시킴으로써 전력을 생산하는 전지를 의미한다.

[0003] 베타선을 방출하는 방사성 동위 원소로는 ^{63}Ni , ^{90}Sr , ^3H , ^{147}Pm 등이 있다. 특히, ^{63}Ni 은 반감기가 길어 ^{63}Ni 전지의 수명 또한 매우 길다.

[0004] 베타 전지는 에너지 밀도가 높아 전지의 소형화에 유리하다. 또한, 베타 전지는 그 수명이 길고, 극지, 심해, 우주 등 극한 환경에서도 외부 전력의 보충 없이 안정적인 전력 생산이 가능하다.

[0005] 이에, 국내외에서 베타 전지에 대한 다양한 연구 및 개발이 수행되고 있으며, 일부는 상용화되어 다양한 분야에 사용되고 있다.

[0006] 하지만, 베타 전지는 단위 셀의 출력이 수 μW 수준으로 높지 않은 편이다. 따라서, 보다 다양한 제품의 소형

전력원으로 사용되기 위해서는 출력 효율의 증대가 요구된다.

- [0007] 베타 전지의 출력 효율의 증대를 위하여, 종래의 베타 전지는, p-n 접합의 구조가 삼차원 구조로 형성되어 p-n 접합과 베타 입자와의 접촉 표면적이 증가된다. 또는, 종래의 베타 전지는, 스택(stack) 형태의 다층 배열로 형성된다.
- [0008] 한국공개특허공보 제10-2016-0098915호는 베타 전지 구조체 및 그 제조 방법을 개시한다. 구체적으로, 일면에 트렌치 구조가 함몰 형성되는 기관 및 기관의 트렌치 구조에 삽입되는 제2형 전극을 포함하는 베타 전지 구조체 및 그 제조 방법을 개시한다.
- [0009] 그런데, 이러한 유형의 베타 전지 구조체는 방사선원이 평면 구조로 반도체에 부착되는 바, 방사선원으로부터 방출된 베타 입자가 반도체에 단일 방향으로 입사된다. 따라서, 베타 전지의 출력 효율 증가에 한계가 있다.
- [0010] 한국등록특허공보 제10-1139617호는 반도체 원자력 전지를 개시한다. 구체적으로, p형 반도체 층과 n형 반도체 층이 교대로 적층되는 다층 구조의 반도체 원자력 전지를 개시한다.
- [0011] 그런데, 이러한 유형의 반도체 원자력 전지는 반도체 층이 다층 구조로 형성되는 바, 전지의 소형화 측면에서 불리하다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 한국공개특허공보 제10-2016-0098915호 (2016.08.19.)
(특허문헌 0002) 한국등록특허공보 제10-1139617호 (2012.04.27.)

발명의 내용

해결하려는 과제

- [0013] 본 발명의 일 목적은, 반도체와 방사성 동위 원소 간의 접촉 면적이 보다 증가된 베타 전지 및 이의 제조 방법을 제공하는 것이다.
- [0014] 본 발명의 다른 일 목적은, 전지의 소형화가 보다 용이한 베타 전지 및 이의 제조 방법을 제공하는 것이다.
- [0015] 본 발명의 또 다른 일 목적은, 방사성 동위 원소의 반도체 부착 시, 기존의 반도체 제조 공정이 그대로 사용될 수 있는 베타 전지 및 이의 제조 방법을 제공하는 것이다.
- [0016] 본 발명의 또 다른 일 목적은, 커패시터(capacitor)와 구동 회로 등과 함께 집적될 수 있는 베타 전지 및 이의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0017] 상기 목적을 달성하기 위해, 본 발명에 따른 베타 전지는, p형 반도체 및 n형 반도체 중 어느 하나로 이루어지고, 기 설정된 회로 패턴을 따라 일면에 트렌치가 함몰 형성되는 기관, p형 반도체 및 n형 반도체 중 다른 하나로 이루어지고, 상기 트렌치에 삽입되며, 상면에서 하측으로 함몰 형성되는 함몰부가 구비되는 첨가 영역 및 핵 붕괴 시 베타선을 방출하고, 상기 함몰부에 충전되는 방사성 동위 원소를 포함하고, 상기 기관의 상기 일면에는 상기 트렌치와 서로 이격되는 제1 전극이 적층되며, 상기 첨가 영역 및 상기 방사성 동위 원소의 상면에는, 상기 제1 전극과 서로 이격되는 제2 전극이 적층된다.
- [0018] 또한, 상기 방사성 동위 원소는 ^{63}Ni 일 수 있다.
- [0019] 또한, 상기 기관의 상기 일면에는 상기 트렌치와 서로 이격되는 전극 수용부가 함몰 형성되고, 상기 제1 전극은 상기 전극 수용부에 삽입될 수 있다.
- [0020] 또한, 인접하게 배치되는 두 개의 상기 트렌치 사이 간격은 $10\mu\text{m}$ 이하일 수 있다.
- [0021] 또한, 상기 함몰부의 내주면에 적층되는 확산층(diffusion layer), 상기 확산층과 상기 방사성 동위 원소 사이

에 배치되는 씨앗층(seed layer)을 포함할 수 있다.

[0022] 또한, 본 발명은, (a) 기판의 일면에 기 설정된 회로 패턴을 따라 트렌치가 함몰 형성되도록 상기 기판이 식각되는 단계, (b) 상기 트렌치에 첨가 영역이 삽입되는 단계, (c) 상기 첨가 영역의 내부에 방사성 동위 원소가 다마신(damascene) 공법으로 전착되는 단계, (d) 상기 기판의 상기 일면에 상기 트렌치와 서로 이격되는 제1 전극이 적층되고, 상기 첨가 영역 및 상기 방사성 동위 원소의 상면에 제2 전극이 적층되는 단계를 포함하는 베타 전지의 제조 방법을 제공한다.

[0023] 또한, 상기 (a) 단계 이전에, (a0) 상기 트렌치의 형상, 너비, 깊이 및 간격이 설계되는 단계를 포함할 수 있다.

[0024] 또한, 상기 (a) 단계는, (a1) 상기 일면의 상기 회로 패턴을 제외한 부분에 마스크가 부착되는 단계를 포함하고, 상기 (b) 단계는, (b1) 상기 첨가 영역이 상기 일면 및 상기 마스크의 상면에 적층되는 단계 및 (b2) 상기 마스크가 상기 기판으로부터 제거되는 단계를 포함할 수 있다.

[0025] 또한, 상기 (c) 단계는, (c1) 상기 첨가 영역의 함몰부에 확산층이 적층되는 단계, (c2) 상기 확산층에 씨앗층이 적층되는 단계, (c3) 상기 함몰부에 ^{63}Ni 도금액이 충전되어 ^{63}Ni 이 상기 씨앗층에 전착되는 단계 및 (c4) 상기 함몰부의 외부에 잔존하는 ^{63}Ni 이 제거되는 단계를 포함할 수 있다.

[0026] 또한, 상기 (c3) 단계에서 상기 함몰부에 충전되는 상기 ^{63}Ni 도금액은, pH 조절제, pH 안정제 및 유기 첨가제 중 적어도 어느 하나를 포함할 수 있다.

발명의 효과

[0027] 본 발명의 다양한 효과 중, 상술한 해결 수단을 통해 얻을 수 있는 효과는 다음과 같다.

[0028] 먼저, 방사선원인 방사성 동위 원소가 평면 구조가 아닌 삼차원 구조로 형성된다. 이에 따라, 반도체와 방사성 동위 원소 간의 접촉 면적이 보다 증가된다.

[0029] 따라서, 방사성 동위 원소로부터 방출된 베타선이 반도체에 보다 효율적으로 전달될 수 있다.

[0030] 더 나아가, 베타 전지의 출력 전류가 보다 증가된다.

[0031] 또한, 반도체가 단층 구조로 형성되면서 동시에 베타 전지의 출력 전류가 증가될 수 있다. 즉, 반도체가 다층 배열 구조로 형성되지 않고도, 베타 전지의 출력 전류가 증가될 수 있다.

[0032] 따라서, 베타 전지의 소형화 측면에서 유리하다.

[0033] 더 나아가, 베타 전지의 생산 비용이 절감될 수 있다.

[0034] 또한, 방사성 동위 원소가 기존의 반도체 제조 공정에 사용되는 다마신(damascene) 공정에 의해 반도체에 전착된다.

[0035] 따라서, 방사성 동위 원소의 전착 과정과 반도체 제조 공정이 단일화될 수 있다.

[0036] 더 나아가, 베타 전지의 제조 공정이 단순화될 수 있다.

[0037] 또한, 베타 전지가 커패시터(capacitor)와 구동 회로 등과 함께 집적될 수 있다.

[0038] 따라서, 베타 전지를 포함하는 다기능 칩의 제조가 보다 용이하다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 일 실시 예에 따른 베타 전지를 도시하는 단면도이다.

도 2는 본 발명의 다른 실시 예에 따른 베타 전지를 도시하는 단면도이다.

도 3은 트렌치가 형성되기 전 상태의 기판을 도시하는 단면도이다.

도 4는 트렌치가 형성된 상태의 기판을 도시하는 단면도이다.

도 5는 트렌치에 삽입된 첨가 영역 및 기판을 도시하는 단면도이다.

도 6은 확산층 및 씨앗층이 함몰부에 적층된 상태의 첨가 영역 및 기판을 도시하는 단면도이다.

도 7은 함몰부의 외부에 노출되는 방사성 동위 원소가 제거되기 전 상태의 방사성 동위 원소, 첨가 영역 및 기판을 도시하는 단면도이다.

도 8은 함몰부의 외부에 노출되는 방사성 동위 원소가 제거된 상태의 방사성 동위 원소, 첨가 영역 및 기판을 도시하는 단면도이다.

도 9는 전극이 패터닝 되기 전 상태의 베타 전지를 도시하는 단면도이다.

도 10은 제1 전극 및 제2 전극이 패터닝된 상태의 베타 전지를 도시하는 단면도이다.

도 11은 본 발명의 실시 예에 따른 베타 전지의 제조 방법을 도시하는 순서도이다.

도 12는 도 11의 S200 단계의 구체적인 단계를 도시하는 순서도이다.

도 13은 도 11의 S300 단계의 구체적인 단계를 도시하는 순서도이다.

도 14는 도 11의 S400 단계의 구체적인 단계를 도시하는 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 본 발명의 실시 예에 따른 베타 전지(1) 및 이의 제조 방법을 도면을 참고하여 보다 상세하게 설명한다.
- [0041] 이하의 설명에서는 본 발명의 특징을 명확하게 하기 위해, 일부 구성 요소들에 대한 설명이 생략될 수 있다.
- [0042] 본 명세서에서는 서로 다른 실시 예라도 동일한 구성에 대해서는 동일한 참조 번호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [0043] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0044] 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않는다.
- [0045] 이하에서는, 도 1 및 도 2를 참조하여 본 발명의 실시 예에 따른 베타 전지(1)에 대하여 설명한다.
- [0046] 베타 전지(1)란, 베타선을 방출하는 방사성 동위 원소(70)로부터 방출된 베타 입자가 반도체에 충돌됨으로써 전력이 생산되는 전지를 의미한다.
- [0047] 본 발명에 따른 베타 전지(1)는 기관(10), 첨가 영역(20), 공간 전하 영역(30) 및 방사성 동위 원소(70)를 포함한다.
- [0048] 기관(10)은 베타 전지(1)의 토대로서, 일면에 첨가 영역(20) 및 방사성 동위 원소(70)가 부착된다.
- [0049] 기관(10)은 p형 반도체 또는 n형 반도체 중 어느 하나가 도핑되어 이루어진다.
- [0050] 여기에서, p형 반도체란, 다수의 정공과 소수의 전자를 포함하는 반도체를 의미한다. 반대로, n형 반도체란, 다수의 전자와 소수의 정공을 포함하는 반도체를 의미한다.
- [0051] 일 실시 예에서, 기관(10)은 Si 또는 SiC로 이루어지는 n형 반도체가 도핑되어 이루어진다.
- [0052] n형 반도체는 이온 주입법(ion implantation)에 의해 기관(10)에 주입된다. 이후, 기관(10)은 800~1200℃에서 열처리되어, 결정성이 회복되고, 주입된 n형 반도체가 기관(10)의 내부로 확산된다.
- [0053] 기관(10)의 일면에는 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성된다.
- [0054] 트렌치(110)는 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 트렌치(110)는 반구 형태 또는 반원의 단면이 일 방향으로 연장되는 형태로 형성될 수 있다.
- [0055] 이때, 트렌치(110)의 너비, 간격, 깊이 등이 조절되어 베타 전지(1)의 최적화가 가능하다. 이에 대한 보다 상세한 설명은 후술한다(도 4 참조).
- [0056] 또한, 기관(10)의 상기 일면에는 트렌치(110)와 서로 이격되는 전극 수용부(120)가 추가적으로 함몰 형성될 수 있다.
- [0057] 전극 수용부(120)의 형태는 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 전극 수

용부(120)는 다각뿔 형태로 형성될 수 있다.

- [0058] 전극 수용부(120)는 제1 전극(41)을 수용한다. 또한, 제1 전극(41)은 전극 수용부(120)에 대응되는 형상으로 형성된다.
- [0059] 제1 전극(41)은 기판(10)으로 전류가 흘러 들어가거나 기판(10)으로부터 전류가 흘러나오는 단자 역할을 한다.
- [0060] 이를 위해, 제1 전극(41)은 전기 전도성 소재로 형성된다. 예를 들어, 제1 전극(41)은 구리 또는 알루미늄이다.
- [0061] 도 1에 도시된 실시 예에서, 제1 전극(41)은 트렌치(110)와 서로 이격되며, 기판(10)의 일면에 기판(10)과 평행하게 적층된다. 즉, 제1 전극(41)은 평면 구조로 형성된다.
- [0062] 도 2에 도시된 실시 예에서, 제1 전극(41)은 전극 수용부(120)에 삽입된다. 즉, 제 1 전극은 평면 구조가 아닌 삼차원 구조로 형성된다.
- [0063] 이 경우, 제1 전극(41)과 기판(10)의 접촉 면적이 보다 증가되는 바, 제1 전극(41)과 기판(10) 간의 전류량 또한 보다 증가된다. 결과적으로, 베타 전지(1)의 성능이 개선될 수 있다.
- [0064] 제1 전극(41)은 도 1 및 도 2에 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 제1 전극(41)은 다각뿔 형태로 형성될 수 있다.
- [0065] 트렌치(110)에는 첨가 영역(20)이 삽입된다.
- [0066] 첨가 영역(20)은 p형 반도체 또는 n형 반도체 중 다른 하나인, 기판(10)과 반대되는 타입의 반도체로 이루어진다.
- [0067] 일 실시 예에서, 첨가 영역(20)은 붕소 실리케이트 글라스(boron silicate glass, BSG)로 이루어지는 p형 반도체이다.
- [0068] 첨가 영역(20)의 상면에는 하측으로 함몰 형성되는 함몰부(210)가 구비된다.
- [0069] 첨가 영역(20)은 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 첨가 영역(20)은 U자형 단면이 일 방향으로 연장되는 형태로 형성될 수 있다.
- [0070] 함몰부(210) 또한, 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 함몰부(210)는 쉘기형, 반원의 단면이 일 방향으로 연장되는 형태 또는 반구 형태로 형성될 수 있다.
- [0071] 첨가 영역(20)의 상면에는 제2 전극(42)이 적층된다.
- [0072] 제2 전극(42)은 첨가 영역(20)으로 전류가 흘러 들어가거나 첨가 영역(20)으로부터 전류가 흘러나오는 단자 역할을 한다.
- [0073] 이를 위해, 제2 전극(42)은 전기 전도성 소재로 형성된다. 예를 들어, 제2 전극(42)은 구리 또는 알루미늄이다.
- [0074] 제2 전극(42)은 제1 전극(41)과 서로 이격되며, 첨가 영역(20)의 상면에 적층된다.
- [0075] 제2 전극(42)은 도시된 형태에 한정되지 않고, 다양한 형태로 형성될 수 있다. 예를 들어, 제2 전극(42)은 반원 단면이 일 방향으로 연장되는 형태로 형성될 수 있다.
- [0076] 제1 전극(41)이 적층된 기판(10)과 제2 전극(42)이 적층된 첨가 영역(20) 사이에는 공간 전하 영역(30)이 형성된다.
- [0077] 공간 전하 영역(30)이란, p-n 접합면에서 n형 반도체의 전자와 p형 반도체의 정공이 만나 결합되며 만들어지는 절연된 영역을 의미한다.
- [0078] 전술하였듯이, 기판(10)과 첨가 영역(20)은 p형 반도체와 n형 반도체 중 어느 하나와 나머지 하나로 이루어진다. 따라서, 기판(10)과 첨가 영역(20)의 접촉면에는 p-n 접합면이 형성된다.
- [0079] 결과적으로, 기판(10)과 첨가 영역(20)의 접촉면에 공간 전하 영역(30)이 형성된다.
- [0080] 첨가 영역(20)의 함몰부(210)에는 방사성 동위 원소(70)가 다마신(damascene) 공법에 의해 충전된다. 다마신 공법에 대한 상세한 설명은 후술한다(도 6 내지 도 8 참조).
- [0081] 방사성 동위 원소(70)는 베타 전지(1)의 방사선원으로 작용한다.

- [0082] 방사성 동위 원소(70)는 핵붕괴 시 베타선을 방출하고, 방출된 베타 입자가 반도체에 충돌되면 전력이 생산된다.
- [0083] 본 발명에서 방사성 동위 원소(70)는, 핵붕괴 시 베타선이 방출되는 방사성 동위 원소(70)를 의미한다. 예를 들어, 방사성 동위 원소(70)는 ^{63}Ni , ^{90}Sr , ^3H 또는 ^{147}Pm 이다.
- [0084] 특히, ^{63}Ni 를 이용한 베타 전지(1)는 다른 방사성 동위 원소(70)를 이용한 베타 전지(1)보다 수명이 길다. 이는, 베타 전지(1)의 수명이 방사성 동위 원소(70)의 반감기와 비례하고, ^{63}Ni 의 반감기가 다른 방사성 동위 원소(70)보다 길기 때문이다.
- [0085] 방사성 동위 원소(70)는 함몰부(210)에 충전되는 바, 함몰부(210)에 대응되는 형상으로 형성된다. 즉, 방사성 동위 원소(70)는 평면 구조가 아닌 삼차원 구조로 형성된다.
- [0086] 따라서, 방사성 동위 원소(70)와 첨가 영역(20) 간 접촉 면적이 보다 증가될 수 있다. 이에 따라, 방사성 동위 원소(70)로부터 방출된 베타선이 반도체에 보다 효율적으로 전달될 수 있다. 더 나아가, 베타 전지(1)의 출력 전류가 보다 증가될 수 있다.
- [0087] 또한, 반도체가 단층 구조로 형성되면서 동시에 베타 전지(1)의 출력 전류가 증가될 수 있다. 즉, 반도체가 다층 배열 구조로 형성되지 않으면서, 베타 전지(1)의 출력 전류가 증가될 수 있다.
- [0088] 따라서, 베타 전지(1)의 소형화 측면에서 보다 유리하다. 더 나아가, 베타 전지(1)의 생산 비용이 보다 절감될 수 있다.
- [0089] 일 실시 예에서, 방사성 동위 원소(70)와 함몰부(210) 사이에 방사성 동위 원소(70)의 전착을 위한 확산층(diffusion layer)(50) 및 씨앗층(seed layer)(60)이 형성될 수 있다. 이에 대한 상세한 설명은 후술한다(도 6 내지 도 8 참조).
- [0090] 이하에서는, 도 3 및 도 4를 참조하여 트렌치(110)의 형성 과정에 대하여 설명한다.
- [0091] 전술한 바와 같이, 기판(10)의 일면에는 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성된다.
- [0092] 도 3은 트렌치(110)가 형성되기 전 상태의 기판(10)을 도시한다.
- [0093] 트렌치(110) 형성을 위해, 기판(10)이 화학적 식각(chemical etching) 또는 건식 식각(dry etching)에 의해 식각된다.
- [0094] 일 실시 예에서, 기판(10)의 표면의 상기 회로 패턴을 제외한 나머지 부분에 마스크(미도시)가 적층된다. 예를 들어, 기판(10)의 표면의 상기 회로 패턴을 제외한 나머지 부분에, SiO_x 패시베이션(passivation) 박막이 성장되어 마스크로 사용될 수 있다.
- [0095] 마스크는 식각 과정이 종료된 이후, 기판(10)으로부터 제거된다.
- [0096] 다른 실시 예에서, 기판(10)은 DRIE(Deep reactive-ion etching) 방법에 의해 식각된다.
- [0097] DRIE 방법에 의해 기판(10)이 식각되는 경우, 기판(10)의 트렌치(110)가 보다 높은 종횡비로 식각될 수 있다.
- [0098] 도 4는 기판(10)의 식각 과정이 종료된 상태의 기판(10)을 도시한다.
- [0099] 일 실시 예에서, 트렌치(110)의 너비는 $2\mu\text{m}$ 이다.
- [0100] 또한, 인접하게 배치되는 두 개의 트렌치(110) 사이의 바람직한 간격은 $10\mu\text{m}$ 이하이다.
- [0101] 이는, ^{63}Ni 에서 방출된 베타 입자의 포화가 $2\mu\text{m}$ 이상에서 발생하는 점 및 트렌치(110)의 내부에 삽입될 첨가 영역(20)의 두께를 고려하여 산출된 값이다.
- [0102] 트렌치(110)의 너비 및 깊이는, 작을수록 베타 전지(1)의 소형화 측면에서 유리하다. 그러나, 트렌치(110)의 너비 또는 깊이가 감소되면 베타선이 방출되는 공간 또한 감소되는 바, 베타 전지(1)의 출력 또한 감소된다.
- [0103] 따라서, 베타 전지(1)의 목표 크기, 목표 출력 및 목표 효율 등을 고려하여, 트렌치(110)의 간격, 너비 및 깊이가 조절될 수 있다.

- [0104] 즉, 트렌치(110)의 간격, 너비 및 깊이가 조절됨으로써, 다양한 목적의 베타 전지(1)의 최적화가 가능하다.
- [0105] 트렌치(110) 형성 과정이 종료되면, 트렌치(110)에 첨가 영역(20)이 삽입된다.
- [0106] 이하에서는, 도 5를 참조하여 첨가 영역(20)의 기관(10)으로의 삽입 과정에 대하여 설명한다.
- [0107] 도 5는 기관(10)의 트렌치(110)에 삽입된 상태의 첨가 영역(20)을 도시한다.
- [0108] 첨가 영역(20)은 기관(10)의 트렌치(110)에 삽입된다. 이때, 첨가 영역(20)은 트렌치(110)에 대응되는 형상으로 형성된다.
- [0109] 구체적으로, 첨가 영역(20)은 도핑 또는 증착에 의해 트렌치(110)에 삽입된다.
- [0110] 일 실시 예에서, 첨가 영역(20)은 기관(10)의 상기 일면 및 트렌치에 적층된다.
- [0111] 다른 실시 예에서, 마스크를 이용해 첨가 영역(20)이 트렌치(110)에 삽입된다.
- [0112] 먼저, 기관(10)의 일면에 기 설정된 회로 패턴을 제외한 부분에 마스크가 부착된다. 이때, 상기 마스크는, 기관(10)의 식각 시 사용된 마스크가 사용될 수 있다.
- [0113] 이후, 약 $2\mu\text{m}$ 의 도핑되지 않은 폴리실리콘(polysilicon) 층 및 $1\sim 2\mu\text{m}$ 의 붕소 실리케이트 글라스 층이 기관(10)의 상기 일면에 적층된다.
- [0114] 마지막으로, 상기 마스크가 기관(10)으로부터 제거된다. 이때, 기관(10)과 첨가 영역(20)은 상술한 바와 같이 서로 반대되는 타입의 반도체로 이루어지는 바, 기관(10)과 첨가 영역(20)의 접합면에 공간 전하 영역(30)이 형성된다.
- [0115] 첨가 영역(20)의 상면에는 함몰부(210)가 함몰 형성된다. 구체적으로, 함몰부(210)는 첨가 영역(20)의 상면에서 하측으로 함몰 형성된다.
- [0116] 첨가 영역(20)이 트렌치(110)에 삽입된 이후에는 방사성 동위 원소(70)가 함몰부(210)에 전착된다.
- [0117] 이하에서는, 도 6 내지 도 8을 참조하여 방사성 동위 원소(70)의 전착 과정에 대하여 설명한다.
- [0118] 방사성 동위 원소(70)는 다마신 공법에 의하여 함몰부(210)에 전착된다.
- [0119] 먼저, 함몰부(210)에 확산층(50)이 적층되고, 그 위에 씨앗층(60)이 적층된다. 바람직하게는, 함몰부(210)에 수 nm의 두께를 갖는 확산층(50)이 적층되고, 그 위에 수 nm의 두께를 갖는 씨앗층(60)이 적층된다.
- [0120] 이는, 방사성 동위 원소(70)가 보다 효율적으로 함몰부(210)에 전착되기 위함이다.
- [0121] 도 6은 확산층(50) 및 씨앗층(60)이 적층된 상태의 함몰부(210)를 도시한다.
- [0122] 확산층(50) 및 씨앗층(60)이 적층된 이후, 방사성 동위 원소(70)의 도금액이 함몰부(210)에 충전된다.
- [0123] 도 7은 방사성 동위 원소(70)가 씨앗층(60)에 전착된 상태의 함몰부(210)를 도시한다.
- [0124] 본 발명의 다른 실시 예에서, 확산층(50) 및 씨앗층(60)의 적층 과정은 생략될 수 있다. 즉, 방사성 동위 원소(70)가 함몰부(210)에 직접적으로 전착될 수 있다.
- [0125] 방사성 동위 원소(70)가 함몰부(210)에 전착된 직후에는, 함몰부(210)의 외부에 불필요한 방사성 동위 원소(70)가 잔존한다. 따라서, 함몰부(210)의 외부에 잔존하는 방사성 동위 원소(70)가 별도의 공정을 통해 제거된다.
- [0126] 도 8은 함몰부(210) 외부에 잔존하는 방사성 동위 원소(70)가 제거된 첨가 영역(20)을 도시한다.
- [0127] 불필요한 방사성 동위 원소(70)가 제거되면, 제1 전극(41) 및 제2 전극(42)이 기관(10) 및 첨가 영역(20)에 적층된다.
- [0128] 이하에서는, 도 9 및 도 10을 참조하여 제1 전극(41) 및 제2 전극(42)의 적층 과정에 대하여 설명한다.
- [0129] 전극(40)은 기관(10) 및 첨가 영역(20)에 적층된다. 패턴화되기 전 상태의 전극(40)은 제1 전극(41)과 제2 전극(42)으로 분리되지 않는다.
- [0130] 도 9는 전극(40)이 패턴화되기 전 상태의 베타 전지(1)를 도시한다. 전극(40)은 패턴화됨으로써 제1 전극(41)과 제2 전극(42)으로 분리된다.

- [0131] 도 10은 전극(40)이 패턴화되어, 제1 전극(41)과 제2 전극(42)으로 분리된 상태의 베타 전지(1)를 도시한다.
- [0132] 제1 전극(41)은 트렌치(110)와 서로 이격되며, 기관(10)의 일면에 적층된다.
- [0133] 도시된 실시 예에서, 제1 전극(41)은 기관(10)과 평행하게 기관(10)의 일면에 적층되며, 평면 구조로 형성된다.
- [0134] 다른 실시 예에서, 제1 전극(41)은 평면 구조가 아닌 삼차원 구조로 형성되어, 기관(10)의 전극 수용부(120)에 삽입된다.
- [0135] 제2 전극(42)은 제1 전극(41)과 서로 이격되고, 첨가 영역(20) 및 방사성 동위 원소(70)의 상면에 적층된다.
- [0136] 이하에서는, 도 11 내지 도 14를 참조하여 본 발명의 실시 예에 따른 베타 전지(1)의 제조 방법에 대하여 상세하게 설명한다.
- [0137] 베타 전지(1)의 제조 방법은 트렌치(110)의 형상, 너비, 깊이 및 간격이 설계되는 단계(S100), 기관(10)의 일면에 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성되도록 기관(10)이 식각되는 단계(S200), 트렌치(110)에 첨가 영역(20)이 삽입되는 단계(S300), 첨가 영역(20)의 내부에 방사성 동위 원소(70)가 다마신(damascene) 공법으로 전착되는 단계(S400) 및 기관(10)의 상기 일면에 트렌치(110)와 서로 이격되는 제1 전극(41)이 적층되고, 첨가 영역(20) 및 방사성 동위 원소(70)의 상면에 제2 전극(42)이 적층되는 단계(S500)를 포함한다.
- [0138] 우선, 베타 전지(1)의 제조 방법은 트렌치(110)의 형상, 너비, 깊이 및 간격이 설계되는 단계(S100)에 대해 설명한다.
- [0139] 방사성 동위 원소(70)의 베타선 방출 공간은 트렌치(110)의 너비 및 깊이와 비례한다.
- [0140] 즉, 트렌치(110)의 너비 및 깊이가 증가되면, 방사성 동위 원소(70)의 베타선 방출 공간 또한 증가된다. 결과적으로, 베타 전지(1)의 출력 효율이 증가된다.
- [0141] 그러나, 베타 전지(1)가 소형화되기 위해서는, 트렌치(110)의 너비 및 깊이가 보다 감소되어야 한다.
- [0142] 따라서, 베타 전지(1)의 사용 분야 및 목적에 따라, 베타 전지(1)의 목표 출력 및 목표 크기가 달라질 수 있다.
- [0143] 트렌치(110)의 형상, 너비, 깊이 및 간격은 상기 목표 출력 및 목표 크기에 대응되도록 조절될 수 있다.
- [0144] 즉, 트렌치(110)의 형상, 너비, 깊이 및 간격이 설계됨으로써, 베타 전지(1) 설계의 최적화가 가능하다.
- [0145] 본 발명의 다른 실시 예에서, 베타 전지(1)의 제조 방법은 트렌치(110)의 형상, 너비, 깊이 및 간격이 설계되는 단계(S100)는 생략될 수 있다.
- [0146] 즉, 베타 전지(1)의 제조 방법은, 기관(10)의 일면에 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성되도록 기관(10)이 식각되는 단계(S200)부터 시작될 수 있다.
- [0147] 이하에서는, 기관(10)의 일면에 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성되도록 기관(10)이 식각되는 단계(S200)에 대해 설명한다.
- [0148] 기관(10)은 p형 반도체 또는 n형 반도체 중 어느 하나가 도핑되어 이루어진다.
- [0149] 기관(10)은 화학적 식각 또는 건식 식각에 의해 식각되어, 일면에 트렌치(110)가 함몰 형성된다.
- [0150] 일 실시 예에서, 기관(10)의 일면에 기 설정된 회로 패턴을 따라 트렌치(110)가 함몰 형성되도록 기관(10)이 식각되는 단계(S200)는 상기 일면의 상기 회로 패턴을 제외한 부분에 마스크가 부착되는 단계(S210)를 포함한다.
- [0151] 상기 마스크는 SiO_x 패시베이션(passivation) 박막이 기관(10)에 성장되어 생성될 수 있다.
- [0152] 마스크는 상기 일면의 상기 회로 패턴을 제외한 나머지 부분에 부착되는 바, 기관(10)의 식각 시 회로 패턴 부분만이 식각될 수 있다.
- [0153] 기관(10)의 일면의 식각된 부분에는 트렌치(110)가 형성된다. 이하에서는, 트렌치(110)에 첨가 영역(20)이 삽입되는 단계(S300)에 대해 설명한다.
- [0154] 첨가 영역(20)은 p형 반도체 또는 n형 반도체 중 어느 하나인, 기관(10)과 반대되는 타입의 반도체로 이루어진다. 첨가 영역(20)은 도핑 또는 증착에 의해 트렌치(110)에 삽입된다.
- [0155] 이때, 첨가 영역(20)에는 첨가 영역(20)의 상면에서 하측으로 함몰 형성되는 함몰부(210)가 구비된다.

- [0156] 일 실시 예에서, 트렌치(110)에 첨가 영역(20)이 삽입되는 단계(S300)는 첨가 영역(20)이 상기 일면 및 상기 마스크의 상면에 적층되는 단계(S310) 및 상기 마스크가 기판(10)으로부터 제거되는 단계(S320)를 포함한다.
- [0157] 우선, 첨가 영역(20)이 상기 일면의 상기 회로 패턴을 제외한 부분에 마스크가 부착되는 단계(S210)에서 사용된 상기 마스크의 상면에 적층된다.
- [0158] 구체적으로, 약 $2\mu\text{m}$ 의 도핑되지 않은 폴리실리콘(polysilicon) 층과 $1\sim 2\mu\text{m}$ 의 붕소 실리케이트 글라스(boron silicate glass, BSG) 층이 상기 마스크의 상면에 적층된다.
- [0159] 이후, 상기 마스크가 기판(10)으로부터 제거된다. 첨가 영역(20)이 트렌치(110)에 삽입되면, 방사성 동위 원소(70)가 첨가 영역(20)의 내부에 전착된다.
- [0160] 이하에서는, 첨가 영역(20)의 내부에 방사성 동위 원소(70)가 다마신 공법으로 전착되는 단계(S400)에 대해 설명한다.
- [0161] 방사성 동위 원소(70)는 다마신 공법에 의해 첨가 영역(20)의 내부에 전착된다.
- [0162] 구체적으로, 방사성 동위 원소(70)는 다마신 공법에 의해 첨가 영역(20)의 함몰부(210)에 전착되어 충전된다.
- [0163] 따라서, 방사성 동위 원소(70)는 첨가 영역(20)의 함몰부(210)와 대응되는 형상으로 형성되고, 평면 구조가 아닌 삼차원 구조로 형성된다.
- [0164] 또한, 방사성 동위 원소(70)가 기존의 반도체 제조 공정인 다마신 공법에 의해 함몰부(210)에 전착되는 바, 방사성 동위 원소(70)의 전착 과정과 반도체 제조 공정이 단일화될 수 있다. 더 나아가, 베타 전지(1)의 제조 공정이 단순화될 수 있다.
- [0165] 게다가, 베타 전지(1)가 커패시터(capacitor)와 구동 회로 등과 함께 집적될 수 있는 바, 베타 전지(1)를 포함하는 다기능 칩의 제조가 보다 용이하다.
- [0166] 일 실시 예에서, 첨가 영역(20)의 내부에 방사성 동위 원소(70)가 다마신 공법으로 전착되는 단계(S400)는 첨가 영역(20)의 함몰부(210)에 확산층(50)이 적층되는 단계(S410), 확산층(50)에 씨앗층(60)이 적층되는 단계(S420), 함몰부(210)에 ^{63}Ni 도금액이 충전되어 ^{63}Ni 이 씨앗층(60)에 전착되는 단계(S430) 및 함몰부(210)의 외부에 잔존하는 ^{63}Ni 이 제거되는 단계(S440)를 포함한다.
- [0167] 먼저, 함몰부(210)에 확산층(50)이 적층된다. 구체적으로, 함몰부(210)에 수 nm의 두께를 갖는 확산층(50)이 적층된다.
- [0168] 이후, 함몰부(210)에 적층된 확산층(50)에 씨앗층(60)이 적층된다. 구체적으로, 확산층(50)에 수 nm의 두께를 갖는 씨앗층(60)이 적층된다.
- [0169] 확산층(50)과 씨앗층(60)은 방사성 동위 원소(70)인 ^{63}Ni 이 보다 용이하게 함몰부(210)에 전착될 수 있도록 보조한다.
- [0170] 확산층(50)과 씨앗층(60)이 함몰부(210)에 순차적으로 적층되면, ^{63}Ni 이 씨앗층(60)에 전착된다. 구체적으로, ^{63}Ni 은 ^{63}Ni 도금액을 통해 씨앗층(60)에 전착된다.
- [0171] ^{63}Ni 도금액은 ^{63}Ni 이 염소화되거나, $^{62}\text{NiCl}_2$ 에 중성자가 조사되어 생성되는 $^{63}\text{NiCl}_2$ 전해액이다.
- [0172] ^{63}Ni 도금액은, pH 조절제, pH 안정제 및 유기 첨가제 중 적어도 어느 하나를 포함할 수 있다.
- [0173] ^{63}Ni 도금액에 첨가되는 pH 조절제, pH 안정제 및 유기 첨가제의 양이 조절됨으로써, 도금 속도 및 도금의 성장률 등이 조절되어, ^{63}Ni 이 보다 균일하게 함몰부(210)에 충전될 수 있다.
- [0174] 구체적으로, pH 조절제, pH 안정제 및 유기 첨가제의 양 조절을 통해, 함몰부(210) 내부 ^{63}Ni 의 성장 속도는 증가되고, 함몰부(210) 외부 ^{63}Ni 의 성장 속도는 감소됨으로써, ^{63}Ni 이 보다 균일하게 함몰부(210)에 충전될 수 있다.

- [0175] 또한, 가속제, 억제제 등과 같은 유기 첨가제가 조합되어 사용되면, ^{63}Ni 이 함몰부(210)에 빈 공간이나 접합(seam)과 같은 결함 없이 채워지며 초등각 전착(Superconformal Deposition)될 수 있다.
- [0176] 예를 들어, NiSO_4 , NiCl_2 및 H_3BO_3 의 조합인 와트욕(Watts bath)에 첨가제인 2-메르kap토-5-벤지미다졸술폰산(2-Mercapto-5-benzimidazolesulfonic acid, MBIS)이 첨가된 ^{63}Ni 도금액을 통해, ^{63}Ni 이 함몰부(210)에 초등각 전착될 수 있다.
- [0177] ^{63}Ni 이 함몰부(210)에 전착되면, 불필요한 ^{63}Ni 이 제거된다. 함몰부(210) 외부에 잔존하는 ^{63}Ni 은 베타 전지(1)의 구동에 있어서 불필요한 바, 화학 기계적 식각(chemical mechanical etching, CMP)에 의해 제거된다.
- [0178] 이때, 첨가 영역(20)이 상기 일면의 상기 회로 패턴을 제외한 부분에 마스크가 부착되는 단계(S210)에서 사용된 상기 마스크가 그대로 사용되는 경우에는, 화학 상기 마스크가 기관(10)에서 제거됨으로써 불필요한 ^{63}Ni 또한 제거된다. 따라서, 상기 경우에는, 화학 기계적 식각 공정 없이 불필요한 ^{63}Ni 이 제거될 수 있다.
- [0179] 방사성 동위 원소(70)의 전착 단계가 마무리되면, 제1 전극(41) 및 제2 전극(42)이 기관(10) 및 첨가 영역(20)에 적층된다.
- [0180] 이하에서는, 기관(10)의 상기 일면에 트렌치(110)와 서로 이격되는 제1 전극(41)이 적층되고, 첨가 영역(20) 및 방사성 동위 원소(70)의 상면에 제2 전극(42)이 적층되는 단계(S600)에 대해 설명한다.
- [0181] 제1 전극(41)은 기관(10)의 상기 일면에 트렌치(110)와 서로 이격되도록 적층된다.
- [0182] 일 실시 예에서, 제1 전극(41)은 기관(10)과 평행하게 기관(10)에 적층된다.
- [0183] 다른 실시 예에서, 제1 전극(41)은 기관(10)의 일면에 함몰 형성된 전극 수용부(120)에 삽입된다.
- [0184] 제2 전극(42)은 첨가 영역(20) 및 방사성 동위 원소(70)의 상면에 적층된다.
- [0185] 이상 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 본 발명은 상기 설명된 실시 예들의 구성에 한정되는 것이 아니다.
- [0186] 또한, 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해, 이하의 청구범위에 기재된 본 발명의 사상 및 영역을 벗어나지 않는 범위 내에서 다양하게 수정 및 변경될 수 있다.
- [0187] 더 나아가, 상기 실시 예들은 다양한 변형이 이루어질 수 있도록 각 실시 예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수 있다.

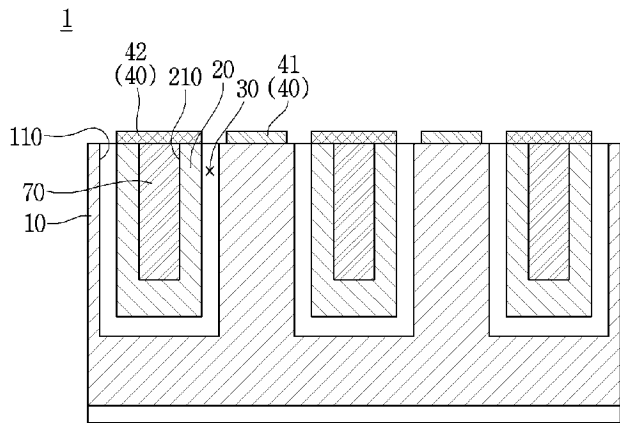
부호의 설명

- [0188] 1: 베타 전지
10: 기관
20: 첨가 영역
30: 공간 전하 영역
40: 전극
41: 제1 전극
42: 제2 전극
50: 확산층
60: 씨앗층
70: 방사성 동위 원소
110: 트렌치
120: 전극 수용부

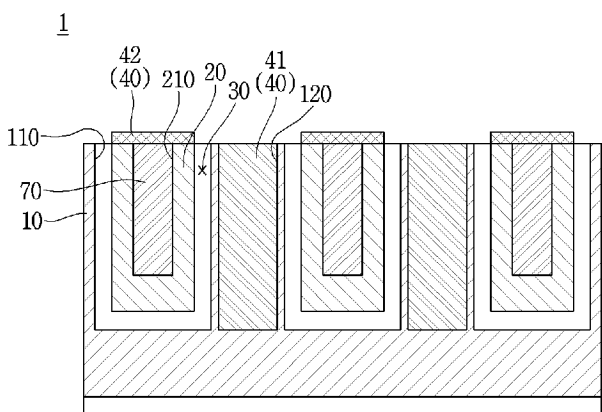
210: 함몰부

도면

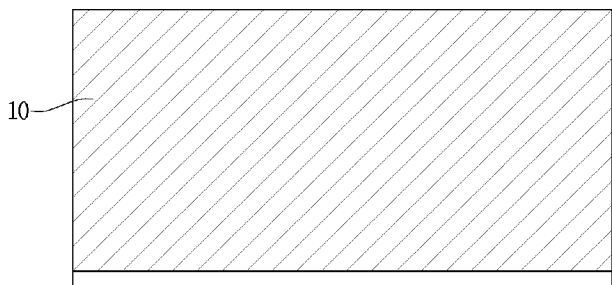
도면1



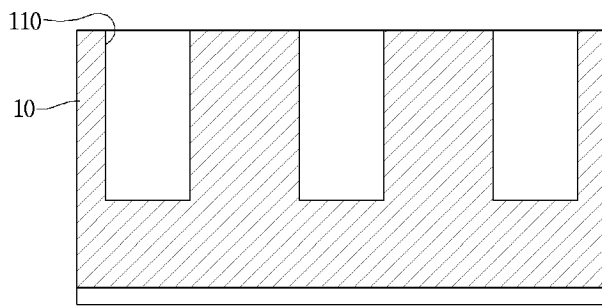
도면2



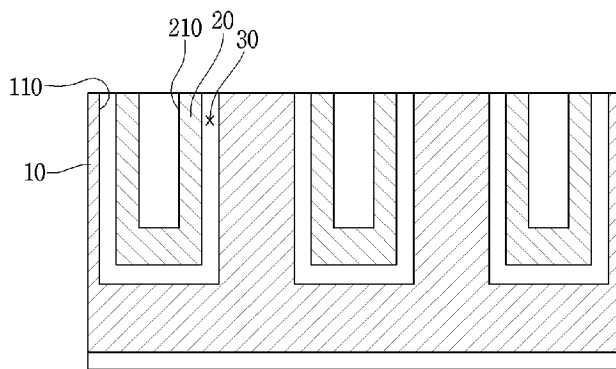
도면3



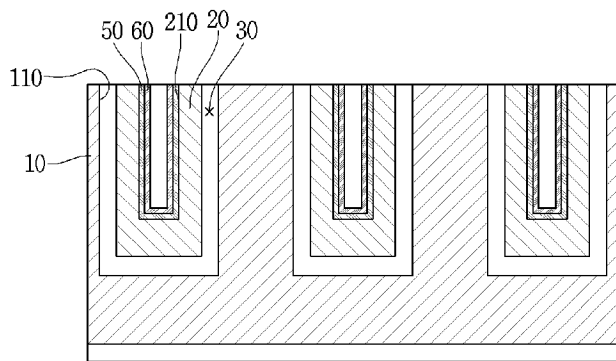
도면4



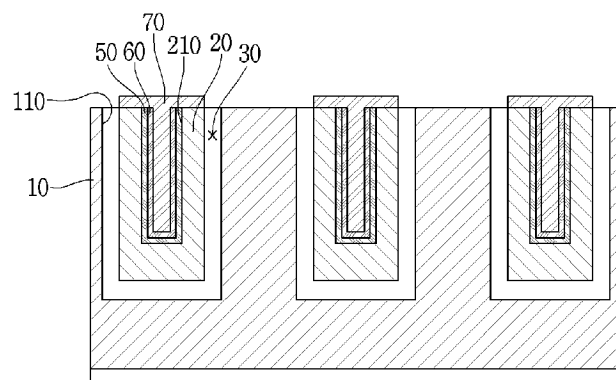
도면5



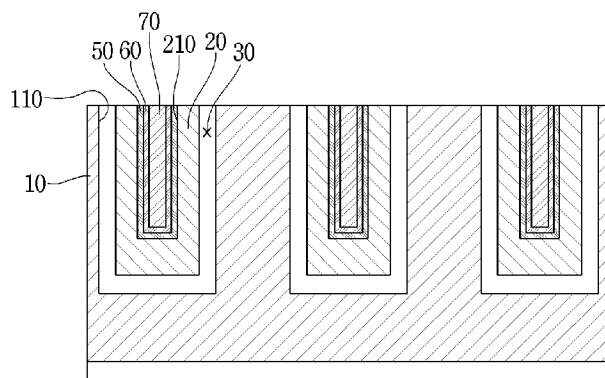
도면6



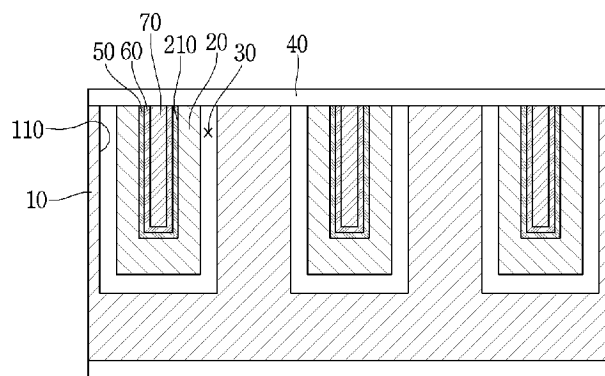
도면7



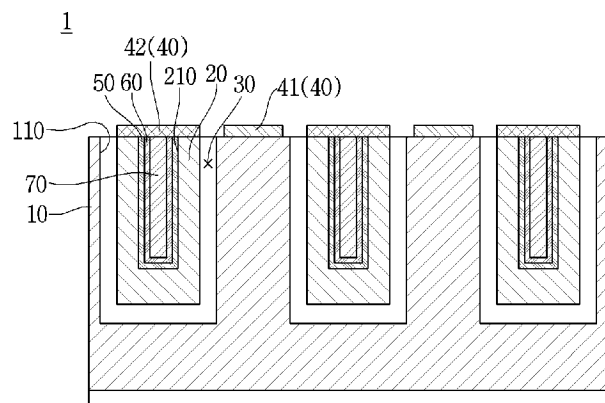
도면6



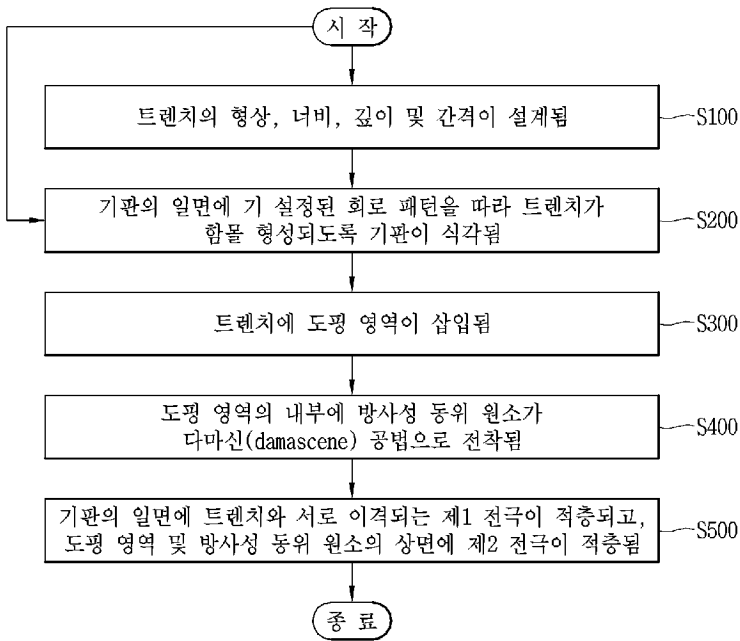
도면9



도면10

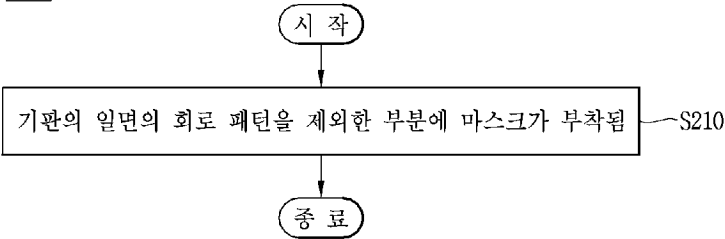


도면11



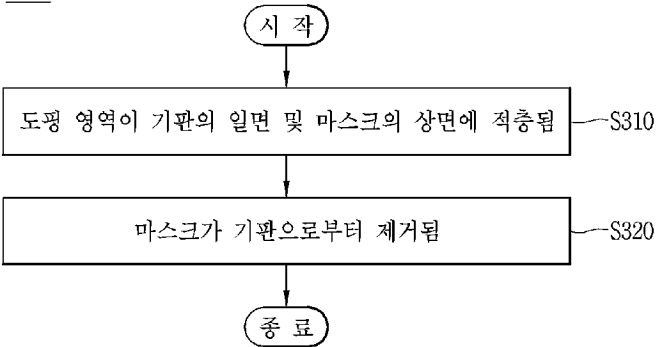
도면12

S200



도면13

S300



도면14

S400

