



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월25일
(11) 등록번호 10-2558788
(24) 등록일자 2023년07월19일

(51) 국제특허분류(Int. Cl.)
G21H 1/06 (2006.01) G21H 1/02 (2006.01)
(52) CPC특허분류
G21H 1/06 (2013.01)
G21H 1/02 (2013.01)
(21) 출원번호 10-2020-0046569
(22) 출원일자 2020년04월17일
심사청구일자 2021년04월21일
(65) 공개번호 10-2021-0067837
(43) 공개일자 2021년06월08일
(30) 우선권주장
1020190156652 2019년11월29일 대한민국(KR)
(56) 선행기술조사문헌
JP09127298 A
KR1020030005911 A

(73) 특허권자
한국원자력연구원
대전광역시 유성구 대덕대로989번길 111(덕진동)
(72) 발명자
김동석
대구광역시 동구 신암로16길 25, 신천자이아파트
101동 701호
황용석
대구광역시 수성구 범어천로 107, 범어 STX KAN
5동 2202호
(뒷면에 계속)
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 17 항

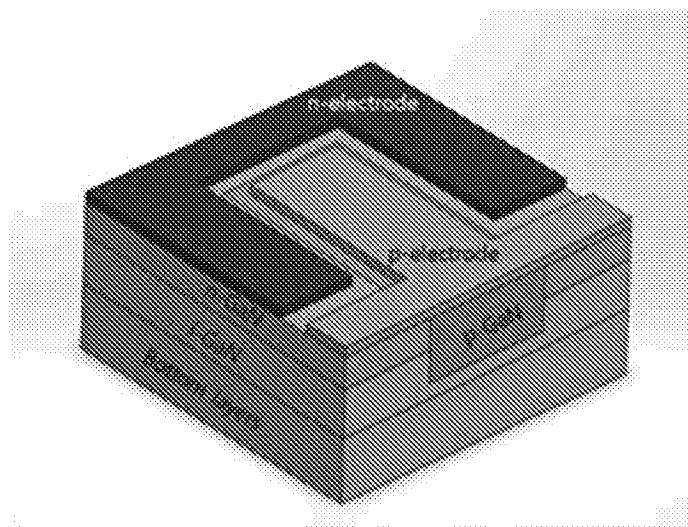
심사관 : 최우용

(54) 발명의 명칭 베타전지의 제조 방법 및 베타전지

(57) 요약

본 발명은 (A) 기판 상에 진성 반도체층을 형성하는 단계; (B) 상기 진성 반도체층 상에 n형 반도체층을 형성하는 단계; (C) 상기 n형 반도체층의 적어도 일부의 표면을 이온빔으로 조사하고, 상기 이온빔이 조사된 n형 반도체층의 적어도 일부의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시켜서 p형 반도체부를 형성하는 단계; 및 (D) 상기 n형 반도체층과 상기 p형 반도체부 상에 베타전원을 배치하는 단계;를 포함하는 것인 베타전지의 제조 방법, 및 기판; 상기 기판 상에 배치된 진성 반도체층; 상기 진성 반도체층 상에 배치된 n형 반도체층; 상기 n형 반도체층의 표면의 적어도 일부의 영역으로부터 관통하여 상기 진성 반도체층의 내부 지점까지 연장되어 형성된 p형 반도체부; 및 상기 n형 반도체층과 p형 반도체부 상에 배치된 베타전원을 포함하는 베타전지에 관한 것이다.

도 1 - 도 1



(72) 발명자

석재권

경상북도 포항시 남구 효성로 88

김초롱

경상북도 경주시 산내면 장사길 121-5

이 발명을 지원한 국가연구개발사업

과제고유번호 1711082503

과제번호 2018M2A2B3A01072437

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 방사선기술개발사업(R&D)

연구과제명 GaN 기반 고효율 베타전지 개발을 위한 이온빔 이용 연구

기 여 율 1/1

과제수행기관명 한국원자력연구원

연구기간 2019.01.01 ~ 2019.12.31

명세서

청구범위

청구항 1

- (A) 기판 상에 진성 반도체층을 형성하는 단계;
 (B) 상기 진성 반도체층 상에 n형 반도체층을 형성하는 단계;
 (C) 상기 n형 반도체층의 적어도 일부의 표면을 이온빔으로 조사하고, 상기 이온빔이 조사된 n형 반도체층의 적어도 일부의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시켜서 p형 반도체부를 형성하는 단계; 및
 (D) 상기 n형 반도체층과 상기 p형 반도체부 상에 베타전원을 배치하는 단계;
 를 포함하는 것인 베타전지의 제조 방법.

청구항 2

청구항 1에 있어서,
 상기 (C) 단계는, n형 반도체층의 적어도 일부의 표면을 마스크한 후에, 마스크되지 않은 부분에 대하여 주기율표의 2족 원소 또는 4족 원소 유래의 이온빔으로 조사하는 것을 포함하는 것인 베타전지의 제조 방법.

청구항 3

청구항 1에 있어서,
 상기 이온빔의 이온 주입 에너지는 20 keV 내지 1 MeV인 것인 베타전지의 제조 방법.

청구항 4

청구항 2에 있어서,
 상기 2족 원소는 마그네슘 및 칼슘 중에서 선택되는 적어도 하나를 포함하고, 상기 4족 원소는 탄소 및 저메늄 중에서 선택되는 적어도 하나를 포함하는 것인 베타전지의 제조 방법.

청구항 5

청구항 1에 있어서,
 상기 진성 반도체층, n형 반도체층, 및 p형 반도체부는 질화갈륨(GaN)을 포함하는 것인 베타전지의 제조 방법.

청구항 6

청구항 1에 있어서,
 상기 베타전원은 베타선을 방출할 수 있는 방사성 동위원소를 함유하는 층인 것인 베타전지의 제조 방법.

청구항 7

청구항 6에 있어서,
 상기 방사성 동위원소는 니켈(Ni-63), 스트론튬(Sr-90), 프로메튬(Pm-147) 및 트리튬(H-3) 중에서 선택되는 적어도 하나를 포함하는 것인 베타전지의 제조 방법.

청구항 8

청구항 1에 있어서,
 상기 p형 반도체부에 전기적으로 연결된 p형 전극을 형성하는 단계; 및

상기 n형 반도체층에 전기적으로 연결된 n형 전극을 형성하는 단계;
를 더 포함하는 것인 베타전지의 제조 방법.

청구항 9

기관;

상기 기관 상에 배치된 진성 반도체층;

상기 진성 반도체층 상에 배치된 n형 반도체층;

상기 n형 반도체층의 표면의 적어도 일부의 영역으로부터 관통하여 상기 진성 반도체층의 내부 지점까지 연장되어 형성된 p형 반도체부; 및

상기 n형 반도체층과 p형 반도체부 상에 배치된 베타전원을 포함하는 베타전지.

청구항 10

청구항 9에 있어서,

상기 p형 반도체부가 각각 n형 반도체층과 진성 반도체층과 접촉하는 경계 부위 및 상기 n형 반도체층과 진성 반도체층이 접촉하는 경계 부위에 공핍 영역(depletion region)이 형성되어 있는 것인 베타전지.

청구항 11

청구항 10에 있어서,

상기 베타전원이 상기 공핍 영역과 인접하고 있는 것인 베타전지.

청구항 12

청구항 9에 있어서,

상기 p형 반도체부는, 상기 n형 반도체층의 적어도 일부의 표면을 마스크한 후에, 주기율표의 2족 원소 또는 4족 원소 유래의 이온빔을 이용하여 상기 n형 반도체층과 상기 진성 반도체층의 적어도 일부를 도핑시켜서 형성되는 것인 베타전지.

청구항 13

청구항 12에 있어서,

상기 2족 원소는 마그네슘 및 칼슘 중에서 선택되는 적어도 하나를 포함하고, 상기 4족 원소는 탄소 및 저메늄 중에서 선택되는 적어도 하나를 포함하는 것인 베타전지.

청구항 14

청구항 9에 있어서,

상기 진성 반도체층, n형 반도체층, 및 p형 반도체부는 질화갈륨(GaN)을 포함하는 것인 베타전지.

청구항 15

청구항 9에 있어서,

상기 베타전원은 베타선을 방출할 수 있는 방사성 동위원소를 함유하는 층인 것인 베타전지.

청구항 16

청구항 15에 있어서,

상기 방사성 동위원소는 니켈(Ni-63), 스트론튬(Sr-90), 프로메튬(Pm-147) 및 트리튬(H-3) 중에서 선택되는 적어도 하나를 포함하는 것인 베타전지.

청구항 17

청구항 9에 있어서,

상기 p형 반도체부에 전기적으로 연결된 p형 전극; 및

상기 n형 반도체층에 전기적으로 연결된 n형 전극;

을 더 포함하는 것인 베타전지.

발명의 설명

기술 분야

[0001] 본 발명은 향상된 에너지 변환 효율 및 생성 전력을 가지는 베타전지의 제조 방법 및 베타전지에 관한 것이다.

배경 기술

[0002] 베타전지는 방사성 동위원소에서 방출하는 베타선을 반도체의 p-n 접합 반도체층에 흡수시켜서 전기에너지를 생산하는 기술을 이용한 전지이다. 특히 베타전지는 주변 환경 변화에 영향을 받지 않고 외부 동력원 없이 자체적으로 전력을 생산하며 극저온이나 고온 등의 극한 환경에서도 안정적으로 전력 생산이 가능하다는 장점이 있다. 또한, 베타선의 선원으로 이용되는 동위원소의 반감기가 길면 길수록 베타 전지의 수명이 길어지기 때문에 기존의 전지가 가지고 있는 짧은 수명을 획기적으로 극복하여 반영구적으로 사용할 수 있게 된다.

[0003] 이러한 베타전지는 별도의 충전이 필요 없고 수명도 오래가기 때문에 사물인터넷기기의 전원 이외에도, 충전이 어려운 극한 환경의 전지로도 사용이 가능하며, 특히 의료용 심박기기, 사회통신망 센서 등 마이크로 단위의 전자기기에 이용 가능한 차세대 전원으로 각광을 받고 있다.

[0004] 일반적으로 베타전지는 n형 반도체층-p형 반도체층-베타선 방출부(p-n 접합 반도체층)의 적층 순서, 또는 n형 반도체층-진성(intrinsic) 반도체층-p형 반도체층-베타선 방출부(p-i-n 접합 반도체층)의 적층 순서로 구현된다. 그러나, 위와 같은 구조를 그대로 이용하여 베타전지를 제작할 경우에는 특성 향상에 제약이 있다. 특히, 베타전지 표면에 위치한 방사성 동위원소로부터 발생하는 베타 입자가 전자-정공쌍(electron-hole pair)을 생성하기 위해서는 공핍 영역(depletion region, 공간전하영역)에 침투가 되어야 하는데, 공핍 영역이 p형 반도체층과 진성 반도체층의 접합 영역, 또는 n형 반도체층과 진성 반도체층의 접합 영역으로 한정되어 형성되기 때문에, 결과론적으로는 공핍 영역의 확대를 위해서는 베타전지의 표면적이 커져야 한다.

[0005] 그러나 베타전지의 전체 면적이 커지면 마이크로 단위의 전자기기의 전원으로는 적합하지 않다. 또한, 위와 같은 베타전지의 구조에서는 베타 입자가 p형 반도체층을 지나 표면으로부터 일정 깊이를 지난 공간에 형성된 공핍 영역에 도달하는 과정에서 p형 반도체층에서 흡수 또는 산란되는 베타 입자가 많아져서 많은 손실이 발생할 수 있다. 이러한 베타 입자의 손실은 공핍 영역에서의 전체적인 전자-정공쌍 생성율을 감소시켜서 베타전지의 특성을 저하시키는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 위와 같은 문제점을 해결하기 위한 것으로서, 이온빔 기술을 이용하여 n형 반도체층의 일부 표면으로부터 진성 반도체층의 내부 지점까지의 영역에 p형 반도체부를 형성함으로써, 공핍 영역의 표면적이 증대되고, 베타 입자가 손실 없이 공핍 영역으로 직접 도입될 수 있어서, 전지 특성이 향상된 베타전지를 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명은, (A) 기판 상에 진성 반도체층을 형성하는 단계; (B) 상기 진성 반도체층 상에 n형 반도체층을 형성하는 단계; (C) 상기 n형 반도체층의 적어도 일부의 표면을 이온빔으로 조사(irradiation)하고, 상기 이온빔이 조사된 n형 반도체층의 적어도 일부의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시켜서 p형 반도체부를 형성하는 단계; 및 (D) 상기 n형 반도체층과 상기 p형 반도체부 상에 베타선원을 배치하는 단계;를 포함하는 것인 베타전지의 제조 방법을 제공한다.

[0008] 또한, 본 발명은, 기판; 상기 기판 상에 배치된 진성 반도체층; 상기 진성 반도체층 상에 배치된 n형 반도체층;

상기 n형 반도체층의 표면의 적어도 일부의 영역으로부터 관통하여 상기 진성 반도체층의 내부 지점까지 연장되어 형성된 p형 반도체부; 및 상기 n형 반도체층과 p형 반도체부 상에 배치된 베타전원을 포함하는 베타전지를 제공한다.

발명의 효과

- [0009] 본 발명의 베타전지의 제조 방법은 기존의 p-n 접합 구조(또는 p-i-n 접합 구조)의 베타전지와 달리, 이온빔 기술을 이용하여 n형 반도체층의 일부 표면으로부터 진성 반도체층의 내부 지점까지의 영역에 p형 반도체부를 형성함으로써, 공핍 영역이 외부에 노출되어 있으므로, 베타전원으로부터 발생하는 베타 입자가 손실 없이 공핍 영역으로 도입될 수 있다.
- [0010] 또한, 동일한 사이즈의 기존의 p-n 접합 구조(또는 p-i-n 접합 구조) 대비 공핍 영역의 표면적이 증대되어서, 전자-정공쌍의 생성율이 향상되고, 궁극적으로는 베타전지의 에너지 변환 효율을 높여주어 높은 전력 생성이 가능한 효과가 있다.
- [0011] 나아가 기존과 달리 전극을 형성하기 위한 에칭 공정이 생략될 수 있어서, 베타전지의 평면성을 유지할 수 있고, 그로 인하여 공정 효율(fabrication yield)을 향상시킬 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시형태에 따른 베타전지의 사시도를 나타낸 도시이다.
- 도 2는 본 발명의 일 실시형태에 따른 베타전지의 단면도를 나타낸 도시이다.
- 도 3은 본 발명의 또 다른 실시형태에 따른 베타전지의 사시도를 나타낸 도시이다.
- 도 4는 본 발명의 비교예에 따른 기존의 p-i-n 접합 구조의 베타전지의 사시도를 나타낸 도시이다.
- 도 5는 본 발명의 실시예 1에 따른 베타전지 구조를 나타낸 도시이다.
- 도 6은 본 발명의 실시예 2에 따른 베타전지 구조를 나타낸 도시이다.
- 도 7은 본 발명의 실험예에 따른 3차원 TCAD 소자 시뮬레이션 결과를 나타낸 도시이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명은 다양한 변경을 가할 수 있고, 여러 가지 실시예를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0014] 본 명세서에서 사용된 용어는 단지 특정한 실시예를 설명하기 위하여 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0015] 본 명세서에서 “~상”이라는 표현은 부재와 부재가 직접적으로 접합되어 붙어있는 것을 의미할 수도 있고, 부재와 부재가 서로 인접하게 위치하는 것을 의미할 수도 있다.
- [0016] 따라서, 본 명세서에 기재된 실시예에 도식된 구성은 본 발명의 바람직한 일 실시예에 불과한 것이고, 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있다.
- [0017] 이하, 본 발명을 상세히 설명한다.
- [0018] 본 발명은 상기 베타전지의 제조 방법은, (A) 기판 상에 진성 반도체층을 형성하는 단계; (B) 상기 진성 반도체층 상에 n형 반도체층을 형성하는 단계; (C) 상기 n형 반도체층의 적어도 일부의 표면을 이온빔으로 조사하고, 상기 이온빔이 조사된 n형 반도체층의 적어도 일부의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시켜서 p형 반도체부를 형성하는 단계; 및 (D) 상기 n형 반도체층과 상기 p형 반도체부 상에 베타전원을 배치하는 단계;를 포함하는 베타전지의 제조 방법을 제공한다.
- [0019] 상기 (A) 기판 상에 진성 반도체층을 형성하는 단계는 증착을 통해 수행될 수 있다. 상기 증착 방법으로는 분자빔 에피택시법(Molecular Beam Epitaxy, MBE), 유기금속 화학기상증착법(Metal Organic Chemical Vapor

Deposition, MOCVD), 또는 수소화물 기상 에피택시법(Hydride Vapor Phase Epitaxy, HVPE) 등을 포함하는 박막 성장 기술을 이용할 수 있으나, 이에 한정되는 것은 아니다.

- [0020] 전술한 바와 같이 상기 진성 반도체층은 질화갈륨(GaN)을 포함할 수 있으며, 특히 질화갈륨(GaN)의 육방정 섬유아연석 결정구조 및 성장 방향 특성상, 상기 기판 상에 질화갈륨(GaN)을 증착함에 있어서 유기금속 화학기상증착법(MOCVD)을 이용하는 것이 보다 우수한 품질의 박막을 형성할 수 있다.
- [0021] 위와 같은 유기금속 화학기상증착법(MOCVD)은 3족 알킬(유기금속원료가스) 및 5족 반응가스와 고순도 캐리어 가스와의 혼합가스를 반응기 내에 공급하여 가열된 기판 위에서 열분해 함으로써 화합물 결정을 성장시키는 방법으로서, 금속 유기화합물의 유량 및 반응기의 온도와 압력을 조절하여서 상기 진성 반도체층 및 상기 n형 반도체층의 두께를 나노(nano) 단위까지 조절이 가능한 장점이 있다.
- [0022] 상기 진성 반도체층(intrinsic semiconductor layer)은 p형 반도체부와 n형 반도체층과 달리 불순물로 도프되지 않은(undoped) 층을 포함할 수 있다.
- [0023] 상기 진성 반도체층의 두께는 100 nm 이상일 수 있고, 구체적으로 150 내지 900 nm일 수 있다. 상기 진성 반도체층의 두께가 100 nm 미만인 경우에는 전자-정공쌍의 생성 확률을 증가시키는 효과가 미미하며, 900 nm 초과인 경우에는 공핍영역이 지나치게 넓어져서 에너지 변환 효율이 저하될 우려가 있다.
- [0024] 상기 진성 반도체층의 배경 전자 농도(background electron concentration)은 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 상기 진성 반도체층의 배경 전자 농도(background electron concentration)가 $1 \times 10^{16}/\text{cm}^3$ 초과인 경우에는 공핍영역으로서의 역할을 제대로 하지 못하는 문제가 발생할 수 있다.
- [0025] 상기 (B) 상기 진성 반도체층 상에 n형 반도체층을 형성하는 단계는 증착을 통해 수행될 수 있다. 상기 증착 방법은 전술한 상기 (A) 기판 상에 진성 반도체층을 형성하는 단계와 동일한 방법이 적용될 수 있으나, 이에 한정되는 것은 아니고, 전술한 바와 같이 상기 진성 반도체층은 질화갈륨(GaN)을 포함할 수 있으며, 특히 질화갈륨(GaN)의 육방정 섬유아연석 결정구조 및 성장 방향 특성상, 상기 기판 상에 질화갈륨(GaN)을 증착함에 있어서 유기금속 화학기상증착법(MOCVD)을 이용하는 것이 보다 우수한 품질의 박막을 형성할 수 있다.
- [0026] 상기 n형 반도체층은 n형 불순물로 도핑된 것일 수 있으며, 상기 n형 불순물은 실리콘계 화합물 등의 4가 원소 또는 산소계 화합물 등의 6가 원소를 함유하는 화합물일 수 있으나, 이에 한정되는 것은 아니다.
- [0027] 상기 n형 반도체층의 두께는 수십 nm 이하일 수 있고, 구체적으로는 20 내지 90 nm일 수 있다. 상기 n형 반도체층의 두께가 20 nm 미만인 경우에는 박막 품질이 저하될 수 있으며, 90 nm 초과인 경우에는 n형 반도체층에서 흡수 또는 산란되는 메타입자가 많아져서 전자-정공쌍 생성률이 감소할 수 있다.
- [0028] 상기 n형 반도체층의 배경 전자 농도(background electron concentration)은 $1 \times 10^{18}/\text{cm}^3$ 이상이다. 상기 n형 반도체층의 배경 전자 농도가 $1 \times 10^{18}/\text{cm}^3$ 미만인 경우에는 박막 저항이 커지고 전류 확산층 역할을 제대로 하지 못하여 메타전지 특성이 저하되는 문제가 발생할 수 있다.
- [0029] 상기 (C) 단계는, n형 반도체층의 적어도 일부의 표면을 마스크링 한 후에, 마스크링 되지 않은 부분에 대하여 주기율표의 2족 원소 유래의 이온빔으로 조사하는 것을 포함할 수 있다.
- [0030] 이 때 마스크링 한 영역은 이온빔이 조사되지 아니하여서 n형 반도체층 및 진성 반도체층이 도프(dope)되지 않는다. 그러나, 상기 마스크링 되지 않은 영역에서는 이온빔이 조사되어서 이온빔에 노출된 n형 반도체층의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역이 도프될 수 있다.
- [0031] 즉 상기 p형 반도체부는, 상기 n형 반도체층의 적어도 일부의 표면을 마스크링 한 후에, 주기율표의 2족 원소 유래의 이온빔을 이용하여 상기 n형 반도체층과 상기 진성 반도체층의 적어도 일부를 도핑시켜서 형성되는 것일 수 있다.
- [0032] 상기 마스크링은 이온빔이 투과하지 못하는 재질일 수 있고, 구체적으로 SiO_2 , Si_3N_4 , Al_2O_3 등을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0033] 이러한 이온빔 조사 기술은 고에너지를 가지는 이온빔 입자(이온)의 운동에너지가 대상 시료의 표면에 전달되어서 운동에너지로 변환되는 현상을 이용하는 기술로서, 이온빔이 조사된 n형 반도체층의 표면에 입사된 이온이 n형 반도체층의 원자들의 연쇄 충돌(collision cascade)을 야기시켜서, 탄성 혹은 비탄성 충돌에 의해 재질의 특

성을 변형시킬 수 있다. 이 때, 이온빔 에너지가 표면 원자의 결합에너지보다 높은 경우에는 이온이 표면의 원자 결합을 끊어내고 원자를 외부로 방출시키는 스퍼터링(sputtering) 현상이 일어나며, 반대로 이온빔 에너지가 표면 원자의 결합에너지보다 낮은 경우에는 이온의 표면이 표면 원자와 연쇄 충돌하며 남아있게 되는 이온 주입이 발생한다. 이온 주입 직후에는 충돌에 의해 결정구조 내에 결함이 발생하게 되고, 주입된 이온이 도펀트(dopant) 역할을 하기 위해서는 결정구조 내의 치환 위치에 있어야 하는데 결함 때문에 원래의 결정구조를 가지지 못하여 전기적으로 활성화되지 못한다. 따라서 열처리(annealing) 공정을 통해 결함이 발생한 결정구조를 재결정화하여 정상상태로 회복시키고, 주입된 이온을 결정구조 내의 치환 위치로 이동시켜 도펀트 역할을 하게 하여 전기적으로 활성화시켜야 한다. 열처리 공정 방법에는 용광로 열처리(furnace annealing), 급속 열처리(rapid thermal annealing), 레이저 열처리(laser annealing), 전자빔 열처리(e-beam annealing) 등이 있다.

[0034] 상기 n형 반도체층의 표면의 적어도 일부의 영역으로부터 관통하여 상기 진성 반도체층의 내부 지점까지 연장되는 영역에 p형 반도체부를 형성하기 위해서, 주기율표의 2족 원소 또는 4족 원소 유래의 이온빔을 이용할 수 있다.

[0035] 이 때 상기 2족 원소는 마그네슘, 칼슘 중에서 선택되는 적어도 하나를 포함할 수 있고, 상기 4족 원소는 카본, 저메늄(Germanium) 중에서 선택되는 적어도 하나를 포함할 수 있다. 이에 따라 상기 p형 반도체부는 상기 2족 원소 또는 2족 원소 유래의 이온 또는 상기 4족 원소 또는 4족 원소 유래의 이온을 함유하는 화합물을 p형 불순물로서 포함하고 있을 수 있다.

[0036] 위와 같이 p형 반도체부가 형성되는 깊이와, p형 반도체부 내의 정공의 농도는 이온빔 주입 에너지에 의해 결정될 수 있다.

[0037] 상기 이온빔에 조사된 n형 반도체층의 적어도 일부의 표면으로부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시켜서 p형 반도체부를 형성하기 위해서는, 상기 이온빔의 이온 주입 에너지가 20 keV 내지 1 MeV 일 수 있다.

[0038] 상기 이온빔의 이온 주입 에너지가 20 keV 미만인 경우에는 스퍼터링 현상이 일어나서 n형 반도체층의 표면을 에칭해 버릴 수 있고 p형 반도체부가 n형 반도체층에만 국한되어 형성되면서 전체 공핍 영역의 표면적을 증가시키지 못하며, 1 MeV 초과인 경우에는 진성 반도체층의 두께 이상으로 조사 또는 주입이 되므로 비효율적이며, 베타선원과 접해 있는 표면 쪽에서 p형 반도체부가 제대로 형성되지 않는 문제가 발생할 수 있다.

[0039] 상기 p형 반도체부의 최대 깊이(외부로 노출된 p형 반도체부의 표면으로부터, p형 반도체부와 진성 반도체층의 접촉면까지의 길이 중 가장 긴 길이)는 수십 nm 이상일 수 있고, 구체적으로는 20 내지 1,000 nm일 수 있다. 상기 p형 반도체부의 최대 깊이가 20 nm 미만인 경우에는 공핍 영역이 n형 반도체층에만 국한되어 전체 공핍 영역의 표면적을 증가시키지 못하는 문제가 발생할 수 있다. 상기 p형 반도체부의 최대 깊이가 1,000 nm 초과인 경우에는 진성 반도체층의 두께 이상으로 공핍 영역이 형성되지만 전체 표면적을 더 이상 증가시키지 못하는 문제가 있다.

[0040] 상기 p형 반도체부의 배경 정공 농도(background hole concentration)는 $1 \times 10^{17}/\text{cm}^3$ 이상이다. 상기 p형 반도체부의 배경 정공 농도(background hole concentration)가 $1 \times 10^{17}/\text{cm}^3$ 미만인 경우에는 저항이 커지고 접합이 제대로 형성되지 않는 문제가 발생할 수 있다.

[0041] 본 발명과 같이 기판-진성 반도체층-n형 반도체층이 형성된 구조에서, p형 반도체부를 그 내부에 형성할 때, 기존과 같은 유기금속 화학기상증착법(MOCVD)을 이용하는 경우에는 선택적으로는 박막을 성장하여야 하는데, 성장하기 전에 SiO_2 등의 절연막으로 마스크한 다음에 성장을 진행하여야 한다. 하지만 웨이퍼 단위가 아닌 일부 영역에만 국부적으로 성장하여야 하기 때문에 p형 반도체부의 품질이 좋지 않은 문제가 발생할 수 있다. 이에 반해, 전술한 이온빔 기술을 이용하는 경우에는 성장된 구조에 마스크를 하여 p형 반도체부를 국부적으로 쉽게 형성할 수 있으며, p형 반도체부 깊이가 성장된 박막의 두께에 기인하는 유기금속 화학기상증착법과는 달리, 이온 조사 에너지에 따라 p형 반도체부 깊이를 쉽게 조절이 가능하다. 따라서, p형 반도체부를 형성할 때, 이온빔 기술을 이용하는 것이 편의성 및 효율성 측면에서 바람직하다.

[0042] 또한 상기 p형 반도체부가 각각 n형 반도체층과 진성 반도체층과 접촉하는 경계 부위 및 상기 n형 반도체층과 진성 반도체층이 접촉하는 경계 부위에 공핍 영역이 형성될 수 있고, 이렇게 형성된 공핍 영역은 외부에 노출되어 있으므로, 베타선원으로부터 발생하는 베타 입자가 기존과 같이 p형 반도체부 또는 n형 반도체층을 통과하면서 발생하는 손실 없이 곧바로 공핍 영역으로 도입될 수 있다. 이에 따라 전자-정공쌍의 생성율이 향상되고, 공

극적으로는 베타전지의 에너지 변환 효율을 높여주어 높은 전력 생성이 가능한 효과가 있다.

- [0043] 나아가, 위와 같이 이온빔에 의해 형성된 베타전지는 p형 반도체부 및 n형 반도체층이 전부 외부에 노출이 되어 있기 때문에, 도 4에 나타난 바와 같은 기존의 layer-by-layer 형태의 p-n 접합 구조(또는 p-i-n 접합 구조)의 베타전지에서 전극을 형성하기 위한 에칭(etching) 공정을 생략할 수 있어서, 베타전지 소자의 평면성을 유지할 수 있으며, 그로 인해 공정 효율이 향상되는 효과가 있다.
- [0044] 또한 상기 p형 반도체부는 복수 개로 형성될 수 있다. 즉, 상기 n형 반도체층 상의 마스크링 되지 않은 복수 개의 표면 부분에서부터 상기 진성 반도체층의 내부 지점까지의 영역을 도핑시키는 경우에, 상기 n형 반도체층 및 진성 반도체층 내부에 복수 개의 p형 반도체부가 형성될 수 있다.
- [0045] 이에 따라 공핍 영역의 면적이 늘어남에 따라서 전자-정공쌍의 생성율이 향상되어 베타전지의 에너지 변환효율이 개선될 수 있다.
- [0046] 상기 (D) 단계는 상기 n형 반도체층과 상기 p형 반도체부 상에 베타선원을 배치할 수 있고, 상기 베타선원은 베타선을 방출하여 반도체층에 에너지원을 제공하는 역할을 할 수 있다.
- [0047] 이 때 상기 베타선원은 베타선을 방출할 수 있는 방사성 동위원소를 포함할 수 있다. 상기 베타선원은 베타선을 방출할 수 있는 방사성 동위원소를 함유하는 형태의 부재이기만 하면 이에 한정되지 않는다. 구체적으로는 상기 베타선원은 베타선을 방출할 수 있는 방사성 동위원소를 함유하는 층일 수 있다.
- [0048] 상기 베타선원은 상기 공핍 영역과 인접하여 배치될 수 있다. 즉 상기 베타선원이 상기 공핍 영역과 접촉하고 있을 수도 있으며, 상기 베타선원이 상기 공핍 영역과 소정의 거리만큼 이격되어 배치된 것일 수도 있다.
- [0049] 상기 베타선원이 방사성 동위원소를 함유하는 층인 경우에는 도금 방식을 통해 제조될 수 있다. 구체적으로 방사성 동위원소를 황산 수용액에 용해하여 황산염 상태의 방사성 동위원소로 변환시킨 후에, 상기 황산염 상태의 방사성 동위원소가 용해되어 있는 황산 수용액을 무전해 도금용액에 주입하고, 상기 무전해 도금용액을 이용하여 상기 n형 반도체층 및 p형 반도체부 상 또는 임의의 기재 상에 무전해 도금하여 방사성 동위원소 함유층을 형성할 수 있다.
- [0050] 상기 방사성 동위원소는 니켈(Ni-63), 스트론튬(Sr-90), 프로메튬(Pm-147) 및 트리튬(H-3) 중에서 선택되는 적어도 하나를 포함할 수 있다.
- [0051] 특히, 상기 방사성 동위원소로 니켈(Ni-63)을 포함하는 경우에는 약 17.4 keV의 평균 에너지와 약 67 keV의 최대 에너지를 가지기 때문에, 최대 에너지가 낮아 반도체층을 손상시키지 않을 수 있다. 또한, 100 년 이상의 반감기를 가지기 때문에, 거의 반영구적인 수명을 가지는 베타전지를 제조할 수 있다.
- [0052] 상기 베타선원이 방사성 동위원소로 니켈(Ni-63)을 포함하며 도금 방식을 통해 제조되는 경우에는, 상기 황산염 상태의 방사성 동위원소는 $\text{NiSO}_4 \cdot 6\text{H}_2\text{O}$ 일 수 있으며, 상기 무전해 도금용액에는 $\text{NaH}_2\text{PO}_3 \cdot \text{H}_2\text{O}$, $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \cdot 2\text{H}_2\text{O}$, $\text{NaC}_2\text{H}_3\text{O}_2$, $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$ 가 포함될 수 있다.
- [0053] 특히 상기와 같이 방사성 동위원소 함유 층을 무전해 도금하여 베타전지를 제조하는 경우에는 p형 반도체부, n형 반도체층, 공핍 영역에서의 베타입자 흡수량이 극대화 되어서, 베타전지의 출력을 극대화할 수 있는 효과가 있다.
- [0054] 상기 기판은 사파이어(Al_2O_3), 실리콘카바이드(SiC), 다이아몬드, 질화갈륨(GaN) 및 실리콘 중에서 선택되는 적어도 하나를 포함할 수 있다.
- [0055] 상기 기판은 상기 p형 반도체부, 상기 n형 반도체층, 상기 진성 반도체층과 동종의 재료를 포함할 수도 있고, 이종의 재료를 포함할 수도 있다. 상기 기판과 상기 p형 반도체부, n형 반도체층, 진성 반도체층이 동종의 재료를 포함하는 경우에는 접합 계면에서의 결함 발생이 상대적으로 줄어들어서 이종의 재료를 포함하는 경우보다 막막 품질이 향상되는 효과가 있다.
- [0056] 상기 진성 반도체층, n형 반도체층, 및 p형 반도체부는 질화갈륨(GaN)을 포함할 수 있다. 위와 같이 질화갈륨(GaN)을 포함하는 경우에는 베타전지를 고전압, 고전류, 고온 등의 극한 상황에서도 사용할 수 있다. 또한 상기 질화갈륨(GaN)은 큰 밴드갭 에너지(3.4 eV)를 가지므로 방사선에 대한 저항성이 커서 반도체층이 쉽게 손상을 받지 않는 장점이 있다.
- [0057] 상기 베타전지의 제조 방법은 상기 p형 반도체부에 전기적으로 연결된 p형 전극을 형성하는 단계; 및 상기 n형

반도체층에 전기적으로 연결된 n형 전극을 형성하는 단계;를 더 포함할 수 있다.

- [0058] 상기 p형 전극을 형성하는 단계는 상기 p형 반도체부에 전기적으로 연결된 p형 전극을 상기 p형 반도체부의 일면에 형성하는 단계를 포함할 수 있고, 상기 n형 전극을 형성하는 단계는 상기 n형 반도체 층에 전기적으로 연결된 n형 전극을 상기 n형 반도체층의 일면에 형성하는 단계를 포함할 수 있다.
- [0059] 상기 n형 전극은 양극이고 상기 p형 전극은 음극일 수 있고, 또는 상기 n형 전극이 음극이고 상기 p형 전극이 양극일 수 있다.
- [0060] 이 때 상기 p형 전극은 상기 n형 반도체층의 일면에도 형성될 수 있으며, 상기 n형 반도체층의 일면의 면적 중 일부에만 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0061] 대표적인 n형 전극인 알루미늄은 n형 반도체층과 오믹(ohmic) 접합을 형성하고, 대표적인 p형 전극인 니켈은 p형 반도체부와 오믹 접합을 형성한다. 반면에, 알루미늄은 p형 반도체부와, 니켈은 n형 반도체층과 쇼트키(schottky) 접합을 형성한다. 따라서, p형 전극이 n형 반도체층 상에 위치하여도 그 부분은 쇼트키 접합을 형성하여 접합부(contact) 저항이 크기 때문에 상대적으로 p형 반도체부에 위치하는 것보다 전기적으로 연결되어 있지 않다고 할 수 있다.
- [0062] 따라서 본 발명의 p형 전극이 상기 n형 반도체층의 일면에 형성되는 경우에는, 상기 p형 전극과 상기 n형 반도체층 사이에 절연막을 형성하는 단계를 더 포함할 수도 있다. 위와 같이 상기 p형 전극과 상기 n형 반도체층 사이에 절연막을 형성함으로써, 높은 바이어스가 걸리게 되어 쇼트키 접합 배리어(barrier)가 낮아져서 전기적으로 연결될 수 있다.
- [0063] 상기 p형 전극과 상기 n형 전극은 서로 연결(접촉)되지 않는 것일 수 있다.
- [0064] 즉, 상기 베타전지가 적용되는 전자 장치에 따라서, 상기 p형 전극은 상기 p형 반도체부와 전기적으로 연결된 상태로, 상기 n형 전극은 상기 n형 반도체층과 전기적으로 연결된 상태로, 다양한 배열 및 형태로 형성될 수 있다.
- [0065] 상기 n형 전극 및 상기 p형 전극은 오믹(ohmic) 전극으로 형성될 수 있다. 상기 n형 전극 및 상기 p형 전극은 전자선 증발법(electron beam evaporation), 열 증발법(thermal evaporation), 스퍼터링법(sputtering), 무전해 도금법(electroless plating) 등을 포함하는 박막 성장 기술을 이용하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0066] 상기 n형 전극은 알루미늄(Al) 등을 포함할 수 있으며, 상기 p형 전극은 니켈(Ni) 등을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0067] 또한 본 발명은 기관; 상기 기관 상에 배치된 진성 반도체층; 상기 진성 반도체층 상에 배치된 n형 반도체층; 상기 n형 반도체층의 표면의 적어도 일부의 영역으로부터 관통하여 상기 진성 반도체층의 내부 지점까지 연장되어 형성된 p형 반도체부; 및 상기 n형 반도체층과 p형 반도체부 상에 배치된 베타전원을 포함하는 베타전지를 제공한다.
- [0068] 상기 베타전지는 베타전원으로부터 방출되는 베타선을 p형 반도체부, n형 반도체층, 및 공핍 영역을 통해 흡수하여 전기에너지로 변환시키는 전지로서, 베타선은 p형 반도체부와 n형 반도체층 사이, p형 반도체부와 진성 반도체층 사이, 또는 n형 반도체층과 진성 반도체층 사이에 형성되는 공핍 영역에서 주로 전자-정공쌍을 생성시키고, 전류를 발생시키게 된다.
- [0069] 상기 기관, 진성 반도체층, n형 반도체층, p형 반도체부, 베타전원, 베타전지에 관해서는, 전술한 내용이 동일하게 적용될 수 있다.
- [0070] 또한 본 발명의 베타전지는 복수 개를 수평으로 연결한 형태로 제공될 수 있고, 또는 도 3에 나타난 바와 같이 p형 반도체부가 n형 반도체층 및 진성 반도체층에 징검다리 형태로 형성된 구조일 수 있다.
- [0072] 이하에서, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다.
- [0073] 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로서, 본 발명의 범위가 이에 의하여 한정되는 것은 아니다.
- [0075] <실시예 1>
- [0076] 기관/진성 반도체층/n형 반도체층의 구조에서, n형 반도체층의 상부 표면에서부터 관통하여 진성 반도체층의 내

부까지 형성된 하나의 p형 반도체부 (폭: $6\ \mu\text{m}$ (z축))를 포함하는 베타전지의 구조를 도 5에 나타내었다.

[0077] <실시예 2>

[0078] 실시예 1의 베타전지에 있어서, 하나의 p형 반도체부 대신 이와 동일 부피를 가지도록 총 3개의 p형 반도체부 (폭: $2\ \mu\text{m}$ (z축)) X 3로 나누어서 n형 반도체층 및 진성 반도체층 상에 형성하고, 각각의 p형 반도체부 상에 p형 전극을 개별적으로 형성하는 것을 제외하고, 실시예 1과 동일한 구조의 베타전지 구조를 도 6에 나타내었다.

[0079] <비교예>

[0080] 기존의 p-i-n 형의 베타전지 구조를 도 4에 나타내었다.

[0082] <실험예>

[0083] 실시예 1, 실시예 2 및 비교예의 베타전지 구조에 대하여, 17 keV (Ni-63 베타입자 평균에너지) 전자가 조사되었을 때 생성되는 전력 특성을 3차원 TCAD (technology computer-aided design) 소자 시뮬레이션을 통해 확인한 결과를 도 7에 나타내었다.

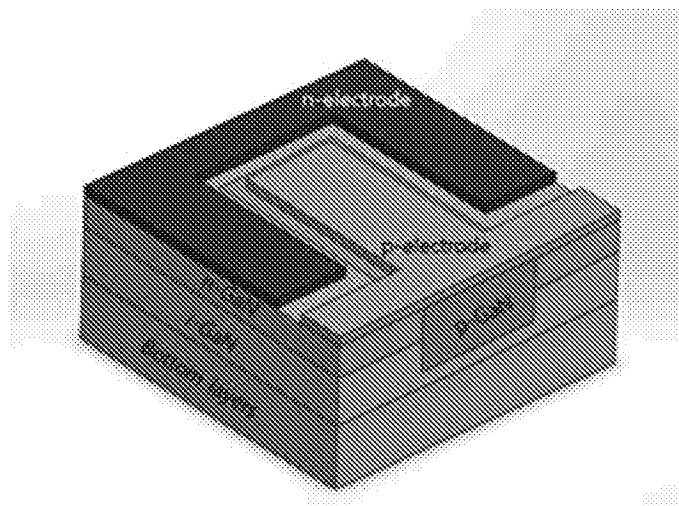
[0085] 도 7에서 'Open: Dark'는 전자빔이 조사되지 않았을 때 베타전지의 기본 특성으로서 문턱 전압(threshold voltage or turn-on voltage)보다 작은 전압에서는 소자가 오프(off)되어 전류가 흐르지 않기 때문에 0의 값을 가지며, 전자빔이 조사되었을 때에는 전자빔에 의해서 생성된 전자-정공쌍에 의해 전류가 흐르게 됨에 따라 소자의 오프(off) 영역 전압에서도 전류가 흐르게 된다.

[0086] 도 7에 따르면, 비교예의 기존의 p-i-n형 베타전지에서는 전자에 의해 생성되는 전류 (I_{sc} , short circuit current: 베타전지에 전압 바이어스(bias)가 0 V일 때 흐르는 전류)가 11.4 pA인 것에 비해, 실시예 1의 베타전지에서는 13.3 pA의 I_{sc} 가 흐르는 것을 확인할 수 있었다.

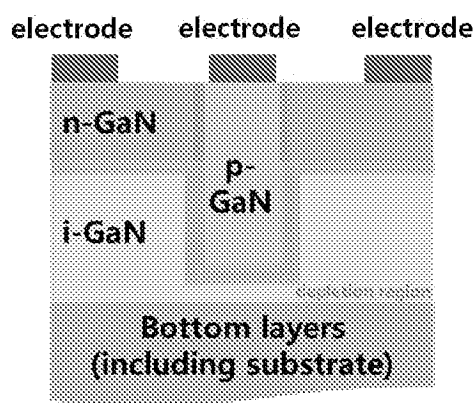
[0087] 또한 실시예 2와 같이 p형 반도체부를 복수 개의 멀티 구조로 확장하는 경우에는, 생성 전류가 14.4 pA로 증가하는 것을 확인할 수 있었다. 이는 전체 공핍 영역 증대로 인하여 전자 조사에 의해 발생하는 전자-정공쌍이 증가함에 따른 결과라 할 수 있고, 결과적으로는 베타전지 효율이 개선되는 것을 의미하는 것임을 확인할 수 있다.

도면

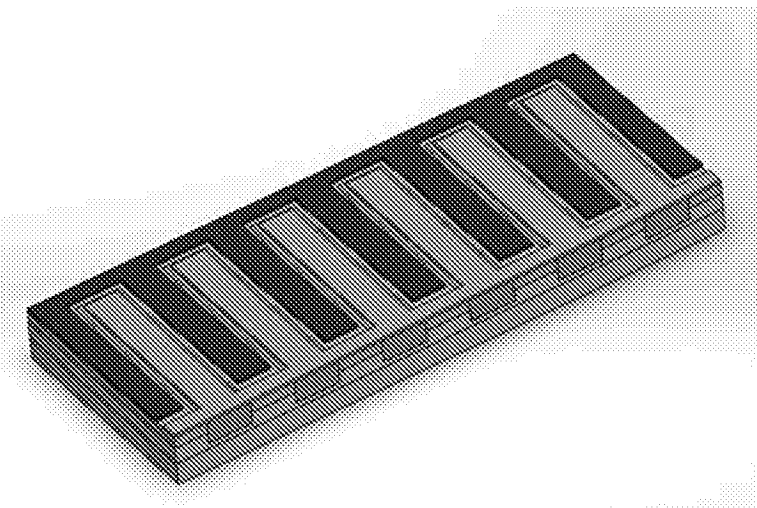
도면1



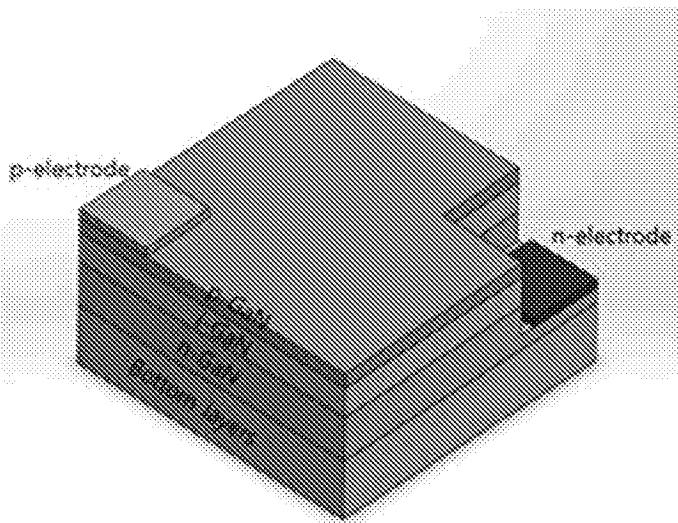
도면2



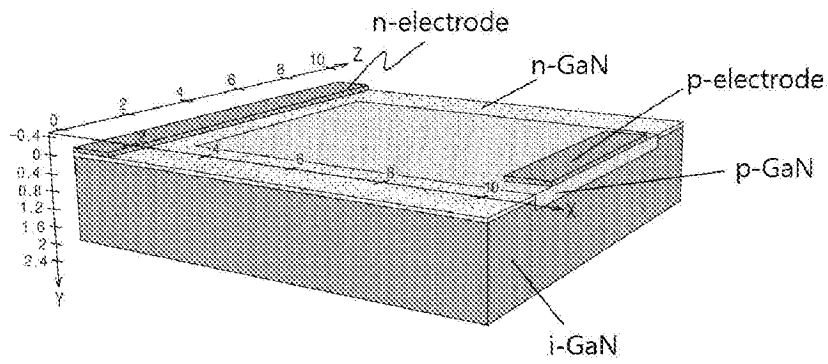
도면3



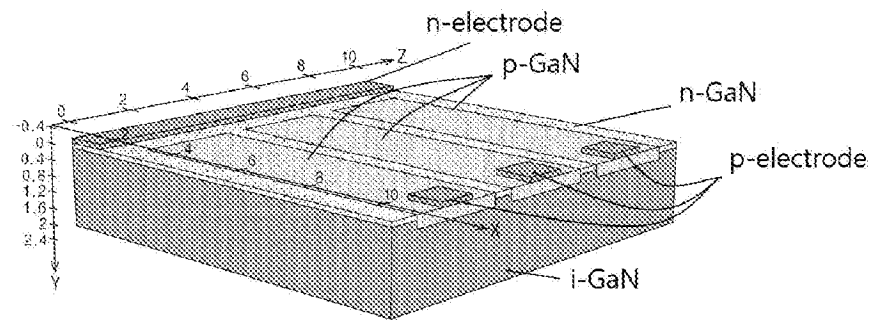
도면4



도면5



도면6



도면7

